



(12)发明专利申请

(10)申请公布号 CN 113012622 A

(43)申请公布日 2021.06.22

(21)申请号 201911317280.8

(22)申请日 2019.12.19

(71)申请人 京东方科技集团股份有限公司
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 玄明花 陈小川 岳晗 丛宁
刘冬妮 齐琪 刘静

(74)专利代理机构 北京安信方达知识产权代理
有限公司 11262

代理人 陶丽 曲鹏

(51)Int.Cl.
G09G 3/32(2016.01)

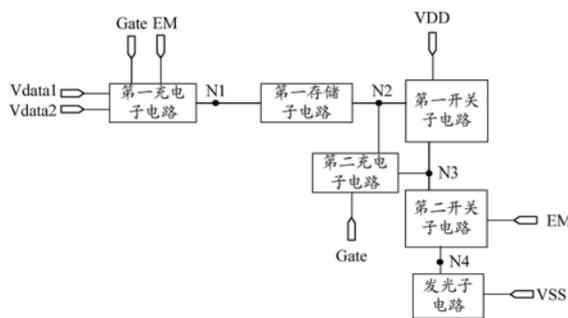
权利要求书4页 说明书18页 附图9页

(54)发明名称

一种像素电路及其驱动方法、显示装置

(57)摘要

本发明实施例公开了一种像素电路及其驱动方法、显示装置,该像素电路包括:第一充电子电路、第二充电子电路、第一存储子电路、第一开关子电路、第二开关子电路和发光子电路,其中,第一充电子电路用于在扫描信号端的控制下,向第一节点提供第一数据信号端的信号,并在提供第一数据信号端的信号之后,在发光控制端的控制下,向第一节点提供第二数据信号端的幅度周期变化的信号。本发明实施例通过将第二数据信号端的信号设置为幅度周期性变化的信号,周期性地控制第一开关子电路打开或关闭,相应地控制发光子电路中的发光元件的发光时长,从而可以控制发光元件的有效发光亮度,达到调节显示灰阶的目的。



1. 一种像素电路,其特征在于,包括第一充电子电路、第二充电子电路、第一存储子电路、第一开关子电路、第二开关子电路和发光子电路;其中:

所述第一充电子电路,分别与第一节点、扫描信号端、发光控制端、第一数据信号端和第二数据信号端连接,用于在扫描信号端的控制下,向第一节点提供第一数据信号端的信号,并在提供第一数据信号端的信号之后,在发光控制端的控制下,向第一节点提供第二数据信号端的幅度周期变化的信号;

所述第二充电子电路分别与扫描信号端、第二节点以及第三节点连接,用于在扫描信号端的控制下,对第二节点进行补偿;

所述第一存储子电路分别与第一节点和第二节点连接,用于存储第一节点和第二节点之间的电荷量;

所述第一开关子电路分别与第二节点和第三节点连接,用于在第二节点的控制下,控制第三节点的电位;

第二开关子电路分别与第三节点、发光控制端和第四节点连接,用于在发光控制端的控制下,向第四节点提供第三节点的信号。

2. 根据权利要求1所述的像素电路,其特征在于,所述第二数据信号端的幅度周期变化的信号为三角波信号、正弦信号或余弦信号。

3. 根据权利要求1所述的像素电路,其特征在于,所述第一充电子电路包括前充电子电路和后充电子电路,其中:

所述前充电子电路包括第一晶体管,所述第一晶体的控制极与所述扫描信号端连接,所述第一晶体的第一极与所述第一数据信号端连接,所述第一晶体的第二极与所述第一节点连接;

所述后充电子电路包括第二晶体管,所述第二晶体的控制极与所述发光控制端连接,所述第二晶体的第一极与所述第二数据信号端连接,所述第二晶体的第二极与所述第一节点连接。

4. 根据权利要求1所述的像素电路,其特征在于,所述发光子电路包括:微型发光二极管或次毫米发光二极管,所述发光子电路的一端与第四节点连接,所述发光子电路的另一端与第二电压端连接。

5. 根据权利要求1所述的像素电路,其特征在于,所述第二充电子电路包括:第三晶体管,所述第一存储子电路包括第一电容,其中:

所述第三晶体的控制极与所述扫描信号端连接,所述第三晶体的第一极与所述第二节点连接,所述第三晶体的第二极与所述第三节点连接;

所述第一电容的一端与所述第一节点连接,所述第一电容的另一端与所述第二节点连接。

6. 根据权利要求1所述的像素电路,其特征在于,所述第一开关子电路包括:第四晶体管,所述第二开关子电路包括第五晶体管,其中:

所述第四晶体的控制极与所述第二节点连接,所述第四晶体的第一极与第一电压端连接,所述第四晶体的第二极与所述第三节点连接;

所述第五晶体的控制极与所述发光控制端连接,所述第五晶体的第一极与所述第三节点连接,所述第五晶体的第二极与所述第四节点连接。

7. 根据权利要求1所述的像素电路,其特征在于,所述像素电路还包括电流控制子电路,所述电流控制子电路连接在所述第四节点和所述发光子电路之间,所述电流控制子电路分别与扫描信号端、第一电压端和第三数据信号端连接,用于在所述第四节点和扫描信号端的控制下,输出预设的电流至所述发光子电路。

8. 根据权利要求7所述的像素电路,其特征在于,所述电流控制子电路包括:第三充电电子电路、第二存储子电路、第三开关子电路和第四开关子电路,其中:

所述第三充电电子电路分别与第三数据信号端、扫描信号端和第五节点连接,用于在扫描信号端的控制下,向第五节点提供第三数据信号端的信号;

所述第二存储子电路分别与第五节点和第一电压端连接,用于存储所述第五节点和第一电压端之间的电荷量;

所述第三开关子电路分别与所述第五节点、第一电压端和第六节点连接,用于在第五节点的控制下,向第六节点提供第一电压端的信号;

所述第四开关子电路分别与所述第六节点、所述发光子电路的一端和所述第四节点连接,用于在所述第四节点的控制下,向所述发光子电路提供第六节点的信号。

9. 根据权利要求8所述的像素电路,其特征在于,所述第三充电电子电路包括:第六晶体管,所述第二存储子电路包括第二电容,所述第三开关子电路包括第七晶体管,所述第四开关子电路包括第八晶体管,其中:

所述第六晶体管的控制极与所述扫描信号端连接,所述第六晶体管的第一极与所述第三数据信号端连接,所述第六晶体管的第二极与所述第五节点连接;

所述第二电容的一端与所述第五节点连接,所述第二电容的另一端与所述第一电压端连接;

所述第七晶体管的控制极与所述第五节点连接,所述第七晶体管的第一极与所述第一电压端连接,所述第七晶体管的第二极与所述第六节点连接;

所述第八晶体管的控制极与所述第四节点连接,所述第八晶体管的第一极与所述第六节点连接,所述第八晶体管的第二极与所述发光子电路的一端连接。

10. 根据权利要求7所述的像素电路,其特征在于,所述电流控制子电路包括:第一复位子电路、第四充电电子电路、第三存储子电路、第一补偿子电路、第一驱动子电路和第四开关子电路,其中:

所述第一复位子电路分别与复位控制信号端、复位电压端和第七节点连接,用于在复位控制信号端的控制下,将复位电压端的信号写入第七节点;

所述第四充电电子电路分别与扫描信号端、第三数据信号端以及第八节点连接,用于在扫描信号端的控制下,向第八节点提供第三数据信号端的信号;

所述第三存储子电路分别与第七节点和第八节点连接,用于存储所述第七节点和第八节点之间的电荷量;

所述第一补偿子电路分别与扫描信号端、第六节点和第七节点连接,用于在扫描信号端的控制下,对所述第七节点的电压进行补偿;

所述第一驱动子电路分别与所述第六节点、第七节点和第一电压端连接,用于在所述第七节点的控制下,根据所述第一电压端的电压产生驱动电流并输出至所述第六节点;

所述第四开关子电路分别与所述第六节点、所述发光子电路的一端和所述第四节点连

接,用于在所述第四节点的控制下,向所述发光子电路提供第六节点的信号。

11.根据权利要求10所述的像素电路,其特征在于,所述第四开关子电路包括第八晶体管,所述第一复位子电路包括第九晶体管,所述第四充电电子电路包括第十晶体管、第十一晶体管和第十二晶体管,所述第三存储子电路包括第三电容,所述第一补偿子电路包括第十三晶体管,所述第一驱动子电路包括第十四晶体管,其中:

所述第八晶体管的控制极与所述第四节点连接,所述第八晶体管的第一极与所述第六节点连接,所述第八晶体管的第二极与所述发光子电路的一端连接;

所述第九晶体管的控制极与所述复位控制信号端连接,所述第九晶体管的第一极与所述复位电压端连接,所述第九晶体管的第二极与所述第七节点连接;

所述第十晶体管的控制极与所述扫描信号端连接,所述第十晶体管的第一极与所述第三数据信号端连接,所述第十晶体管的第二极与所述第八节点连接;

所述第十一晶体管的控制极与所述发光控制端连接,所述第十一晶体管的第一极与第二电压端连接,所述第十一晶体管的第二极与所述第八节点连接;

所述第十二晶体管的控制极与所述复位控制信号端连接,所述第十二晶体管的第一极与所述第二电压端连接,所述第十二晶体管的第二极与所述第八节点连接;

所述第三电容的一端与所述第七节点连接,所述第三电容的另一端与所述第八节点连接;

所述第十三晶体管的控制极与所述扫描信号端连接,所述第十三晶体管的第一极与所述第六节点连接,所述第十三晶体管的第二极与所述第七节点连接;

所述第十四晶体管的控制极与所述第七节点连接,所述第十四晶体管的第一极与所述第一电压端连接,所述第十四晶体管的第二极与所述第六节点连接。

12.根据权利要求8所述的像素电路,其特征在于,所述电流控制子电路包括:第二复位子电路、第三复位子电路、发光控制子电路、第五充电电子电路、第四存储子电路、第二补偿子电路、第二驱动子电路和第四开关子电路,其中:

所述第二复位子电路分别与复位控制信号端、复位电压端和第九节点连接,用于在复位控制信号端的控制下,将复位电压端的信号写入第九节点;

所述第三复位子电路分别与扫描信号端、复位电压端和所述发光子电路的一端连接,用于在扫描信号端的控制下,将复位电压端的信号写入所述发光子电路;

所述发光控制子电路分别与发光控制端、第一电压端以及第十节点连接,用于在发光控制端的控制下,向第十节点提供第一电压端的信号;

所述第五充电电子电路分别与扫描信号端、第三数据信号端以及第十节点连接,用于在扫描信号端的控制下,向第十节点提供第三数据信号端的信号;

所述第四存储子电路分别与第九节点和第一电压端连接,用于存储第九节点和第一电压端之间的电荷量;

所述第二补偿子电路分别与扫描信号端、第六节点和第九节点连接,用于在扫描信号端的控制下,对第九节点的电压进行补偿;

所述第二驱动子电路分别与第六节点、第九节点和第十节点连接,用于在第九节点的控制下,根据第十节点的电压产生驱动电流并输出至第六节点;

所述第四开关子电路分别与第六节点、所述发光子电路的一端和第四节点连接,用于

在第四节点的控制下,向所述发光子电路提供第六节点的信号。

13. 根据权利要求12所述的像素电路,其特征在于,所述第四开关子电路包括第八晶体管,所述第二复位子电路包括第十五晶体管,所述第三复位子电路包括第十六晶体管,所述第五充电子电路包括第十七晶体管,所述第四存储子电路包括第四电容,所述第二补偿子电路包括第十八晶体管,所述第二驱动子电路包括第十九晶体管,所述发光控制子电路包括第二十晶体管,其中:

所述第八晶体管的控制极与所述第四节点连接,所述第八晶体管的第一极与所述第六节点连接,所述第八晶体管的第二极与所述发光子电路的一端连接;

所述第十五晶体管的控制极与扫描信号端连接,第十五晶体管的第一极与复位电压端连接,第十五晶体管的第二极与所述发光子电路的一端连接;

第十六晶体管的控制极与复位控制信号端连接,第十六晶体管的第一极与复位电压端连接,第十六晶体管的第二极与第九节点连接;

第十七晶体管的控制极与扫描信号端连接,第十七晶体管的第一极与第三数据信号端连接,第十七晶体管的第二极与第十节点连接;

第十八晶体管的控制极与扫描信号端连接,第十八晶体管的第一极与第六节点连接,第十八晶体管的第二极与第九节点连接;

第十九晶体管的控制极与第九节点连接,第十九晶体管的第一极与第十节点连接,第十九晶体管的第二极与第六节点连接;

第二十晶体管的控制极与发光控制端连接,第二十晶体管的第一极与第一电压端连接,第二十晶体管的第二极与第十节点连接;

第四电容的一端与第一电压端连接,第四电容的另一端与第九节点连接。

14. 一种显示装置,其特征在于,包括如权利要求1-13任一所述的像素电路。

15. 一种像素电路的驱动方法,其特征在于,所述像素电路具有多个扫描周期;在一个扫描周期内,所述驱动方法包括:

向第一电压端提供第一电压,向扫描信号端提供扫描信号,向第一数据信号端提供第一数据电压,第一数据电压通过第一充电子电路写入至第一节点,第二充电子电路在扫描信号端的控制下对第二节点进行补偿;

向发光控制端提供发光控制信号,向第二数据信号端提供幅度周期变化的第二数据电压,所述第二数据电压通过第一充电子电路写入至第一节点,第二节点的电压随着第一节点的电压发生跳变,以控制第一开关子电路开启或关闭,发光子电路在第一开关子电路和第二开关子电路的控制下发光。

16. 根据权利要求15所述的像素电路的驱动方法,其特征在于,在向发光控制端提供发光控制信号之前,所述驱动方法还包括:

向第三数据信号端提供第三数据电压,电流控制子电路在扫描信号端的控制下,基于第一电压和第三数据电压,生成预设电流密度的驱动电流。

一种像素电路及其驱动方法、显示装置

技术领域

[0001] 本发明实施例涉及但不限于显示技术领域,尤其涉及一种像素电路及其驱动方法、显示装置。

背景技术

[0002] 微发光二极管(Micro Light Emitting Diode, Micro LED)技术是通过在一个芯片上高密度地集成微小尺寸的发光二极管阵列,以实现发光二极管的薄膜化、微小化和矩阵化,其像素间的距离能够达到微米级别,而且每一个像素都能定址、单独发光。微发光二极管显示面板因其低驱动电压、长寿命、耐宽温等特点,逐渐向消费者终端机所用的显示面板发展。

[0003] 相关技术中通过像素电路与微发光二极管电连接,以驱动微发光二极管发光。然而,在相关技术提供的像素电路中,无法准确有效地对微发光二极管的亮度和灰阶进行控制,并且微发光二极管工作的稳定性较差,从而大大降低了显示面板的显示效果。

发明内容

[0004] 本发明实施例提供了一种像素电路及其驱动方法、显示装置,能够提升显示面板的显示效果。

[0005] 本发明实施例提供了一种像素电路,包括:第一充电子电路、第二充电子电路、第一存储子电路、第一开关子电路、第二开关子电路和发光子电路,其中:所述第一充电子电路,分别与第一节点、扫描信号端、发光控制端、第一数据信号端和第二数据信号端连接,用于在扫描信号端的控制下,向第一节点提供第一数据信号端的信号,并在提供第一数据信号端的信号之后,在发光控制端的控制下,向第一节点提供第二数据信号端的幅度周期变化的信号;所述第二充电子电路分别与扫描信号端、第二节点以及第三节点连接,用于在扫描信号端的控制下,对第二节点进行补偿;所述第一存储子电路分别与第一节点和第二节点连接,用于存储第一节点和第二节点之间的电荷量;所述第一开关子电路分别与第二节点和第三节点连接,用于在第二节点的控制下,控制第三节点的电位;第二开关子电路分别与第三节点、发光控制端和第四节点连接,用于在发光控制端的控制下,向第四节点提供第三节点的信号。

[0006] 可选地,所述第二数据信号端的幅度周期变化的信号为三角波信号、正弦信号或余弦信号。

[0007] 可选地,所述第一充电子电路包括前充电子电路和后充电子电路,其中:所述前充电子电路包括第一晶体管,所述第一晶体管的控制极与所述扫描信号端连接,所述第一晶体管的第一极与所述第一数据信号端连接,所述第一晶体管的第二极与所述第一节点连接;所述后充电子电路包括第二晶体管,所述第二晶体管的控制极与所述发光控制端连接,所述第二晶体管的第一极与所述第二数据信号端连接,所述第二晶体管的第二极与所述第一节点连接。

[0008] 可选地,所述发光子电路包括微型发光二极管或次毫米发光二极管,所述发光子电路的一端与第四节点连接,所述发光子电路的另一端与第二电压端连接。

[0009] 可选地,所述第二充电电子电路包括:第三晶体管,所述第一存储子电路包括第一电容,其中:所述第三晶体管的控制极与所述扫描信号端连接,所述第三晶体管的第一极与所述第二节点连接,所述第三晶体管的第二极与所述第三节点连接;所述第一电容的一端与所述第一节点连接,所述第一电容的另一端与所述第二节点连接。

[0010] 可选地,所述第一开关子电路包括:第四晶体管,所述第二开关子电路包括第五晶体管,其中:所述第四晶体管的控制极与所述第二节点连接,所述第四晶体管的第一极与所述第一电压端连接,所述第四晶体管的第二极与所述第三节点连接;所述第五晶体管的控制极与所述发光控制端连接,所述第五晶体管的第一极与所述第三节点连接,所述第五晶体管的第二极与所述第四节点连接。

[0011] 可选地,所述像素电路还包括电流控制子电路,所述电流控制子电路连接在所述第四节点和所述发光子电路之间,所述电流控制子电路分别与扫描信号端、第一电压端和第三数据信号端连接,用于在所述第四节点和扫描信号端的控制下,输出预设的电流至所述发光子电路。

[0012] 可选地,所述电流控制子电路包括:第三充电电子电路、第二存储子电路、第三开关子电路和第四开关子电路,其中:所述第三充电电子电路分别与第三数据信号端、扫描信号端和第五节点连接,用于在扫描信号端的控制下,向第五节点提供第三数据信号端的信号;所述第二存储子电路分别与第五节点和第一电压端连接,用于存储所述第五节点和第一电压端之间的电荷量;所述第三开关子电路分别与所述第五节点、第一电压端和第六节点连接,用于在第五节点的控制下,向第六节点提供第一电压端的信号;所述第四开关子电路分别与所述第六节点、所述发光子电路的一端和所述第四节点连接,用于在所述第四节点的控制下,向所述发光子电路提供第六节点的信号。

[0013] 可选地,所述第三充电电子电路包括:第六晶体管,所述第二存储子电路包括第二电容,所述第三开关子电路包括第七晶体管,所述第四开关子电路包括第八晶体管,其中:所述第六晶体管的控制极与所述扫描信号端连接,所述第六晶体管的第一极与所述第三数据信号端连接,所述第六晶体管的第二极与所述第五节点连接;所述第二电容的一端与所述第五节点连接,所述第二电容的另一端与所述第一电压端连接;所述第七晶体管的控制极与所述第五节点连接,所述第七晶体管的第一极与所述第一电压端连接,所述第七晶体管的第二极与所述第六节点连接;所述第八晶体管的控制极与所述第四节点连接,所述第八晶体管的第一极与所述第六节点连接,所述第八晶体管的第二极与所述发光子电路的一端连接。

[0014] 可选地,所述电流控制子电路包括:第一复位子电路、第四充电电子电路、第三存储子电路、第一补偿子电路、第一驱动子电路和第四开关子电路,其中:所述第一复位子电路分别与复位控制信号端、复位电压端和第七节点连接,用于在复位控制信号端的控制下,将复位电压端的信号写入第七节点;所述第四充电电子电路分别与扫描信号端、第三数据信号端以及第八节点连接,用于在扫描信号端的控制下,向第八节点提供第三数据信号端的信号;所述第三存储子电路分别与第七节点和第八节点连接,用于存储所述第七节点和第八节点之间的电荷量;所述第一补偿子电路分别与扫描信号端、第六节点和第七节点连接,用

于在扫描信号端的控制下,对所述第七节点的电压进行补偿;所述第一驱动子电路分别与所述第六节点、第七节点和第一电压端连接,用于在所述第七节点的控制下,根据所述第一电压端的电压产生驱动电流并输出至所述第六节点;所述第四开关子电路分别与所述第六节点、所述发光子电路的一端和所述第四节点连接,用于在所述第四节点的控制下,向所述发光子电路提供第六节点的信号。

[0015] 可选地,所述第四开关子电路包括第八晶体管,所述第一复位子电路包括第九晶体管,所述第四充电子电路包括第十晶体管、第十一晶体管和第十二晶体管,所述第三存储子电路包括第三电容,所述第一补偿子电路包括第十三晶体管,所述第一驱动子电路包括第十四晶体管,其中:所述第八晶体管的控制极与所述第四节点连接,所述第八晶体管的第一极与所述第六节点连接,所述第八晶体管的第二极与所述所述发光子电路的一端连接;所述第九晶体管的控制极与所述复位控制信号端连接,所述第九晶体管的第一极与所述复位电压端连接,所述第九晶体管的第二极与所述第七节点连接;所述第十晶体管的控制极与所述扫描信号端连接,所述第十晶体管的第一极与所述第三数据信号端连接,所述第十晶体管的第二极与所述第八节点连接;所述第十一晶体管的控制极与所述发光控制端连接,所述第十一晶体管的第一极与所述第二电压端连接,所述第十一晶体管的第二极与所述第八节点连接;所述第十二晶体管的控制极与所述复位控制信号端连接,所述第十二晶体管的第一极与所述第二电压端连接,所述第十二晶体管的第二极与所述第八节点连接;所述第三电容的一端与所述第七节点连接,所述第三电容的另一端与所述第八节点连接;所述第十三晶体管的控制极与所述扫描信号端连接,所述第十三晶体管的第一极与所述第六节点连接,所述第十三晶体管的第二极与所述第七节点连接;所述第十四晶体管的控制极与所述第七节点连接,所述第十四晶体管的第一极与所述第一电压端连接,所述第十四晶体管的第二极与所述第六节点连接。

[0016] 可选地,所述电流控制子电路包括:第二复位子电路、第三复位子电路、发光控制子电路、第五充电子电路、第四存储子电路、第二补偿子电路、第二驱动子电路和第四开关子电路,其中:所述第二复位子电路分别与复位控制信号端、复位电压端和第九节点连接,用于在复位控制信号端的控制下,将复位电压端的信号写入第九节点;所述第三复位子电路分别与扫描信号端、复位电压端和发光子电路的一端连接,用于在扫描信号端的控制下,将复位电压端的信号写入发光子电路;所述发光控制子电路分别与发光控制端、第一电压端以及第十节点连接,用于在发光控制端的控制下,向第十节点提供第一电压端的信号;所述第五充电子电路分别与扫描信号端、第三数据信号端以及第十节点连接,用于在扫描信号端的控制下,向第十节点提供第三数据信号端的信号;所述第四存储子电路分别与第九节点和第一电压端连接,用于存储第九节点和第一电压端之间的电荷量;所述第二补偿子电路分别与扫描信号端、第六节点和第九节点连接,用于在扫描信号端的控制下,对第九节点的电压进行补偿;所述第二驱动子电路分别与第六节点、第九节点和第十节点连接,用于在第九节点的控制下,根据第十节点的电压产生驱动电流并输出至第六节点;所述第四开关子电路分别与第六节点、所述发光子电路的一端和第四节点连接,用于在第四节点的控制下,向所述发光子电路提供第六节点的信号。

[0017] 可选地,所述第四开关子电路包括第八晶体管,所述第二复位子电路包括第十五晶体管,所述第三复位子电路包括第十六晶体管,所述第五充电子电路包括第十七晶体管,

所述第四存储子电路包括第四电容,所述第二补偿子电路包括第十八晶体管,所述第二驱动子电路包括第十九晶体管,所述发光控制子电路包括第二十晶体管,其中:所述第八晶体管的控制极与所述第四节点连接,所述第八晶体管的第一极与所述六节点连接,所述第八晶体管的第二极与所述发光子电路的一端连接;所述第十五晶体管的控制极与扫描信号端连接,第十五晶体管的第一极与复位电压端连接,第十五晶体管的第二极与发光子电路的一端连接;第十六晶体管的控制极与复位控制信号端连接,第十六晶体管的第一极与复位电压端连接,第十六晶体管的第二极与第九节点连接;第十七晶体管的控制极与扫描信号端连接,第十七晶体管的第一极与第三数据信号端连接,第十七晶体管的第二极与第十节点连接;第十八晶体管的控制极与扫描信号端连接,第十八晶体管的第一极与第六节点连接,第十八晶体管的第二极与第九节点连接;第十九晶体管的控制极与第九节点连接,第十九晶体管的第一极与第十节点连接,第十九晶体管的第二极与第六节点连接;第二十晶体管的控制极与发光控制端连接,第二十晶体管的第一极与第一电压端连接,第二十晶体管的第二极与第十节点连接;第四电容的一端与第一电压端连接,第四电容的另一端与第九节点连接。

[0018] 本发明实施例还提供了一种显示装置,包括如前所述的像素电路。

[0019] 本发明实施例还提供了一种像素电路的驱动方法,用于驱动如前所述的像素电路,所述像素电路具有多个扫描周期;在一个扫描周期内,所述驱动方法包括:向第一电压端提供第一电压,向扫描信号端提供扫描信号,向第一数据信号端提供第一数据电压,第一数据电压通过第一充电电子电路写入至第一节点,第二充电电子电路在扫描信号端的控制下对第二节点进行补偿;向发光控制端提供发光控制信号,向第二数据信号端提供幅度周期变化的第二数据电压,所述第二数据电压通过第一充电电子电路写入至第一节点,第二节点的电压随着第一节点的电压发生跳变,以控制第一开关子电路开启或关闭,发光子电路在第一开关子电路和第二开关子电路的控制下发光。

[0020] 可选地,在向发光控制端提供发光控制信号之前,所述驱动方法还包括:向第三数据信号端提供第三数据电压,电流控制子电路在扫描信号端的控制下,基于第一电压和第三数据电压,生成预设电流密度的驱动电流。

[0021] 与相关技术相比,本发明实施例的像素电路及其驱动方法、显示装置,通过第二充电电子电路在扫描信号端的控制下,对第二节点进行补偿,避免了第一开关子电路的阈值电压在显示过程中的变化对发光元件的发光亮度产生影响,有助于发光元件的发光亮度在显示过程中保持稳定,进而有助于提高显示面板的显示效果;同时,通过将第二数据信号端的信号设置为幅度周期性变化的信号,周期性地控制第一开关子电路打开或关闭,相应地控制发光元件的发光时长,从而可以控制发光元件的有效发光亮度,达到调节显示灰阶的目的。

[0022] 本发明实施例的其它特征和优点将在随后的说明书中阐述,并且,部分地从说明书中变得显而易见,或者通过实施本发明实施例而了解。本发明实施例的其他优点可通过在说明书、权利要求书以及附图中所描述的方案来实现和获得。

附图说明

[0023] 附图用来提供对本发明实施例技术方案的理解,并且构成说明书的一部分,与本

发明的实施例一起用于解释本发明的技术方案,并不构成对本发明技术方案的限制。

- [0024] 图1为本发明第一实施例的像素电路的结构示意图之一;
 [0025] 图2为本发明第一实施例的像素电路的结构示意图之二;
 [0026] 图3为本发明第一实施例的前充电子电路和后充电子电路的等效电路图;
 [0027] 图4为本发明第一实施例的第二充电子电路和第一存储子电路的等效电路图;
 [0028] 图5为本发明第一实施例的第一开关子电路和第二开关子电路的等效电路图;
 [0029] 图6为本发明第一实施例的像素电路的等效电路图;
 [0030] 图7为本发明第一实施例的像素电路的工作时序图;
 [0031] 图8为本发明第二实施例的像素电路的驱动方法的流程示意图;
 [0032] 图9为本发明第三实施例的像素电路的结构示意图之一;
 [0033] 图10为本发明第三实施例的像素电路的结构示意图之二;
 [0034] 图11为本发明第三实施例的像素电路的等效图;
 [0035] 图12为本发明第三实施例的像素电路的工作时序图;
 [0036] 图13为本发明第四实施例的像素电路的驱动方法的流程示意图;
 [0037] 图14为本发明第五实施例的像素电路的结构示意图;
 [0038] 图15为本发明第五实施例的像素电路的等效图;
 [0039] 图16为本发明第六实施例的像素电路的结构示意图;
 [0040] 图17为本发明第六实施例的像素电路的等效图。
 [0041] 附图标记说明:

- | | | | |
|--------|-----------------|-----------------|-----------------|
| | Gate—扫描信号端; | EM—发光控制端; | RST—复位控制信号端; |
| [0042] | Vini—复位电压端; | Vdata1—第一数据信号端; | Vdata2—第二数据信号端; |
| | Vdata3—第三数据信号端; | VDD—第一电压端; | VSS—第二电压端; |
| [0043] | Vref—第三电压端; | L—发光元件; | C1~C4—电容; |
| | M1~M20—晶体管; | N1~N10—节点。 | |

具体实施方式

[0044] 为使本发明的目的、技术方案和优点更加清楚明白,下文中将结合附图对本发明的实施例进行详细说明。需要说明的是,在不冲突的情况下,本发明中的实施例及实施例中的特征可以相互任意组合。

[0045] 除非另外定义,本发明实施例公开使用的技术术语或者科学术语应当为本发明所属领域内具有一般技能的人士所理解的通常意义。本发明实施例中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性,而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语一直出该词前面的元件或误检涵盖出现在该词后面列举的元件或者物件及其等同,而不排除其他元件或者误检。

[0046] 本领域技术人员可以理解,本发明所有实施例中采用的晶体管均可以为薄膜晶体

管或场效应管或其他特性相同的器件。优选地,本发明实施例中使用的薄膜晶体管可以是氧化物半导体晶体管。由于这里采用的晶体管的源极、漏极是对称的,所以其源极、漏极可以互换。在本发明实施例中,为区分晶体管除栅极之外的两极,将其中一个电极称为第一极,另一电极称为第二极,第一极可以为源极或者漏极,第二极可以为漏极或源极。

[0047] 实施例一

[0048] 本发明实施例提供一种像素电路,该像素电路用于控制第一电压端和第二电压端之间电流通路的导通时长。在电流通路导通时,第一电压端输出的第一电压与第二电压端输出的第二电压可以向电流通路提供电势差。

[0049] 本实施例中,第一电压端VDD输出的第一电压可以为恒定的高电平,第二电压端VSS输出的第二电压可以为恒定的低电平。

[0050] 图1为本发明实施例提供的像素电路的结构示意图,如图1所示,该像素电路包括:第一充电子电路、第二充电子电路、第一存储子电路、第一开关子电路、第二开关子电路和发光子电路。

[0051] 可选地,发光子电路包括发光元件L,发光元件L可以为微型发光二极管(Micro LED)或亚毫米发光二极管(Mini LED)。Micro LED的尺寸级别为微米级别。

[0052] 第一充电子电路,分别与第一节点N1、扫描信号端Gate、发光控制端EM、第一数据信号端Vdata1和第二数据信号端Vdata2连接,用于在扫描信号端Gate的控制下,向第一节点N1提供第一数据信号端Vdata1的信号,并在提供第一数据端Vdata1的信号之后,在发光控制端EM的控制下,向第一节点N1提供第二数据信号端Vdata2的幅度周期变化的信号。

[0053] 第二充电子电路分别与扫描信号端Gate、第二节点N2(即第一开关子电路的控制端)以及第三节点N3(即第一开关子电路的第二端)连接,用于在扫描信号端Gate的控制下,对第二节点N2进行补偿。例如,第二充电子电路的控制端和扫描信号端Gate连接,第二充电子电路的第一端和第二节点N2连接,第二充电子电路的第二端和第三节点N3连接。来自扫描信号端Gate的信号被施加至第二充电子电路以控制其开启与否。第二充电子电路可以响应于扫描信号端Gate的信号而开启,将第二节点N2和第三节点N3电连接,使第一开关子电路的阈值电压 V_{th} 的相关信息(阈值电压信息)与经第一开关子电路写入的第一电压端VDD的信号共同存储在第二节点N2中,从而可以利用存储的包括第一电压端VDD的信号以及阈值电压信息的电压值对第一开关子电路进行控制,使得第一开关子电路的输出得到补偿。

[0054] 第一存储子电路分别与第一节点N1和第二节点N2连接,用于存储第一节点N1和第二节点N2之间的电荷量。

[0055] 第一开关子电路分别与第一电压端VDD、第二节点N2以及第三节点N3连接,用于在第二节点N2的控制下,向第三节点N3提供第一电压端VDD的信号。例如,第一开关子电路的控制端和第二节点N2连接,第一开关子电路的第一端和第一电压端VDD连接,第一开关子电路的第二端和第三节点N3连接。

[0056] 第二开关子电路分别与第三节点N3、发光控制端EM和第四节点N4(即发光元件L的阳极)连接,用于在发光控制端EM的控制下,将第三节点N3的信号施加至发光元件L的阳极,发光元件L的阴极与第二电压端VSS连接。例如,第二开关子电路的控制端和发光控制端EM连接,第二开关子电路的第一端和第三节点N3连接,第二开关子电路的第二端和第四节点N4连接。例如,第二开关子电路可以响应于发光控制端EM的信号而开启,从而可以将第三节

点的信号施加至第四节点N4以提供驱动电压,从而驱动发光元件L发光。

[0057] 本发明实施例提供的像素电路,通过第一充电电子电路在扫描信号端Gate的控制下,向第一节点N1提供第一数据信号端Vdata1的信号,并在提供第一数据信号端Vdata1的信号之后,在发光控制端EM的控制下,向第一节点N1提供第二数据信号端Vdata2的信号,第二充电电子电路在扫描信号端Gate的控制下,对第二节点N2进行补偿,第一存储子电路存储第一节点N1和第二节点N2之间的电荷量,第一开关子电路在第二节点N2的控制下,向第三节点N3提供第一电压端VDD的信号,第二开关子电路在发光控制端EM的控制下,向第四节点N4提供第三节点N3的信号,避免了第一开关子电路的阈值电压在显示过程中的变化对发光元件L的发光亮度产生影响,有助于发光元件L的发光亮度在显示过程中保持稳定,进而有助于提高显示效果。此外,本发明实施例提供的像素电路可以通过构图工艺制作于显示装置的显示面板中的玻璃衬底或透明树脂衬底上。在发光元件L为微发光二极管时,能够提供一种成本较低、制作工艺简单,可量产的微发光二极管显示装置的实现方式。本发明实施例提供的像素电路,不受分辨率扫描行数的限制,更适用于高分辨率产品。

[0058] 本实施例中,第二数据信号端Vdata2的信号为一帧内幅度周期性变化的电压信号,该电压信号的幅度变化周期小于或等于一帧的显示周期。可选地,第二数据信号端Vdata2的信号可以为三角波信号、正弦信号或余弦信号。

[0059] 本发明实施例提供的像素电路,通过将第二数据信号端Vdata2的信号设置为一帧内幅度周期性变化的电压信号,第一节点N1的电位随之周期性变化,第二节点N2的电位随着第一节点N1的电位周期性变化,从而周期性地控制第一开关子电路打开或关闭,相应地控制发光元件L的发光时长。由于发光时长影响发光元件L的有效亮度,这样一来,在一个扫描周期内,通过第二数据信号端Vdata2的信号的大小可以控制发光元件L的有效发光亮度,达到调节显示灰阶的目的。

[0060] 可选地,如图2所示,第一充电电子电路包括前充电电子电路和后充电电子电路,其中:

[0061] 前充电电子电路分别与第一节点N1、扫描信号端Gate和第一数据信号端Vdata1连接,用于在扫描信号端Gate的控制下,向第一节点N1提供第一数据信号端Vdata1的信号;

[0062] 后充电电子电路分别与第一节点N1、发光控制端EM和第二数据信号端Vdata2连接,用于在提供第一数据信号端Vdata1的信号之后,在发光控制端EM的控制下,向第一节点N1提供第二数据信号端Vdata2的信号。

[0063] 可选地,图3为本发明实施例提供的前充电电子电路和后充电电子电路的等效电路图,如图3所示,本发明实施例提供的前充电电子电路包括第一晶体管M1,后充电电子电路包括第二晶体管M2。

[0064] 第一晶体管M1的控制极与扫描信号端Gate连接,第一晶体管M1的第一极与第一数据信号端Vdata1连接,第一晶体管M1的第二极与第一节点N1连接。

[0065] 第二晶体管M2的控制极与发光控制端EM连接,第二晶体管M2的第一极与第二数据信号端Vdata2连接,第二晶体管M2的第二极与第一节点N1连接。

[0066] 图3中具体示出了前充电电子电路和后充电电子电路的一种示例性结构。本领域技术人员容易理解是,前充电电子电路和后充电电子电路的实现方式不限于此,只要能够实现其各自的功能即可。

[0067] 可选地,图4为本发明实施例提供的第二充电电子电路和第一存储子电路的等效电

路图,如图4所示,本发明实施例提供的第二充电子电路包括:第三晶体管M3,第一存储子电路包括第一电容C1。

[0068] 第三晶体管M3的控制极与扫描信号端Gate连接,第三晶体管M3的第一极与第二节点N2连接,第三晶体管M3的第二极与第三节点N3连接。

[0069] 第一电容C1的一端与第一节点N1连接,第一电容C1的另一端与第二节点N2连接。

[0070] 图4中具体示出了第二充电子电路和第一存储子电路的一种示例性结构。本领域技术人员容易理解是,第二充电子电路和第一存储子电路的实现方式不限于此,只要能够实现其各自的功能即可。

[0071] 可选地,图5为本发明实施例提供的第一开关子电路和第二开关子电路的等效电路图,如图5所示,本发明实施例提供的第一开关子电路包括:第四晶体管M4,第二开关子电路包括第五晶体管M5。

[0072] 第四晶体管M4的控制极与第二节点N2连接,第四晶体管M4的第一极与第一电压端VDD连接,第四晶体管M4的第二极与第三节点N3连接。

[0073] 第五晶体管M5的控制极与发光控制端EM连接,第五晶体管M5的第一极与第三节点N3连接,第五晶体管M5的第二极与第四节点N4连接。

[0074] 图5中具体示出了第一开关子电路和第二开关子电路的一种示例性结构。本领域技术人员容易理解是,第一开关子电路和第二开关子电路的实现方式不限于此,只要能够实现其各自的功能即可。

[0075] 由上述可知,只有当第一开关子电路和第二开关子电路均处于开启状态时,电流通路才能够导通。这样一来,发光元件L的有效发光亮度可以受到第一开关子电路和第二开关子电路的协同控制,增加了影响发光元件L的有效发光亮度的因素,使得具有该像素电路的亚像素能够显示的灰阶值更加多样化。

[0076] 本实施例中,发光元件L的阳极与第四节点N4连接,发光元件L的阴极与第二电压端VSS连接。

[0077] 可选地,图6为本发明实施例提供的像素电路的等效电路图,如图6所示,本发明实施例提供的像素电路中,第一充电子电路包括前充电子电路和后充电子电路,前充电子电路包括第一晶体管M1,后充电子电路包括第二晶体管M2;第二充电子电路包括:第三晶体管M3,第一存储子电路包括第一电容C1,第一开关子电路包括:第四晶体管M4,第二开关子电路包括第五晶体管M5,发光子电路包括发光元件L。

[0078] 具体的,第一晶体管M1的控制极与扫描信号端Gate连接,第一晶体管M1的第一极与第一数据信号端Vdata1连接,第一晶体管M1的第二极与第一节点N1连接;第二晶体管M2的控制极与发光控制端EM连接,第二晶体管M2的第一极与第二数据信号端Vdata2连接,第二晶体管M2的第二极与第一节点N1连接;第三晶体管M3的控制极与扫描信号端Gate连接,第三晶体管M3的第一极与第二节点N2连接,第三晶体管M3的第二极与第三节点N3连接;第一电容C1的一端与第一节点N1连接,第一电容C1的另一端与第二节点N2连接;第四晶体管M4的控制极与第二节点N2连接,第四晶体管M4的第一极与第一电压端VDD连接,第四晶体管M4的第二极与第三节点N3连接;第五晶体管M5的控制极与发光控制端EM连接,第五晶体管M5的第一极与第三节点N3连接,第五晶体管M5的第二极与第四节点N4连接;发光元件L的阳极与第四节点N4连接,发光元件L的阴极与第二电压端VSS连接。

[0079] 图6中具体示出了像素电路中前充电子电路、后充电子电路、第二充电子电路、第一存储子电路、第一开关子电路、第二开关子电路和发光子电路的示例性结构。本领域技术人员容易理解是,以上各子电路的实现方式不限于此,只要能够实现其各自的功能即可。

[0080] 在本实施例中,第一晶体管M1~第五晶体管M5均可以为N型薄膜晶体管或P型薄膜晶体管,可以统一工艺流程,有助于提高产品的良率。此外,考虑到低温多晶硅薄膜晶体管的漏电流较小,因此,本发明实施例优选所有晶体管为低温多晶硅薄膜晶体管,薄膜晶体管具体可以选择底栅结构的薄膜晶体管或者顶栅结构的薄膜晶体管,只要能够实现开关功能即可。

[0081] 需要说明的是,第一电容C1可以是由像素电极与公共电极构成的液晶电容,也可以是由像素电极与公共电极构成的液晶电容以及存储电容构成的等效电容,本发明对此不作限定。

[0082] 下面通过像素电路的工作过程进一步说明本发明实施例的技术方案。需要说明的是,下面是以第一级像素电路的工作过程为例进行说明的。

[0083] 以本发明实施例提供的像素电路中的晶体管T1~T5均为P型薄膜晶体管为例,图7为本发明实施例提供的像素电路的工作时序图,如图6和图7所示,本发明实施例提供的像素电路包括5个晶体管单元(T1~T5)、1个电容单元(C1)、2个信号输入端(Gate和EM)和4个电源端(Vdata1、Vdata2、VDD、VSS),其工作过程包括:

[0084] 输入阶段T1,在扫描信号端Gate施加低电平,使第一晶体管M1和第三晶体管M3导通,并在发光控制端EM施加高电平,使第二晶体管M2和第五晶体管M5关断,并在第一数据信号端Vdata1施加第一数据电压V1(图中示出的是第一数据电压V1在各个帧显示周期中可以不同,例如,图中示出的第一数据电压V1在第一个帧显示周期中可以为Va,在第二个帧显示周期中也可以为Vb,其中,Vb小于Va)。如图6所示,第一电压端VDD经第四晶体管M4和第三晶体管M3向第二节点N2充电,直到第二节点N2的电压达到VDD+Vth(此时达到第四晶体管M4的截止条件,这里的Vth为第四晶体管M4的开启阈值,在这里为负值)。这个阶段,由于第五晶体管M5被关断,此时发光元件L不会发光,延长了发光元件L的使用寿命。由于第一晶体管M1的导通,使得第一数据电压V1写入到第一节点N1。此时第一节点N1和第二节点N2之间的压差为VDD+Vth-V1。

[0085] 发光控制阶段T2,在发光控制端EM施加低电平,在扫描信号端Gate施加高电平,此时第二晶体管M2和第五晶体管M5导通,第一晶体管M1和第三晶体管M3关断。如图6所示,第二数据信号端Vdata2经第二晶体管M2与第一节点N1导通。此时第一节点N1的电压被置为第二数据信号端Vdata2输出的第二数据电压V2,而由于第二节点N2浮接,此时第二节点N2的电压发生跳变,跳变为VDD+Vth-V1+V2(保持第一电容C1两端的压差为VDD+Vth-V1)。

[0086] 本实施例中,第二数据信号端Vdata2的第二数据电压V2为一帧内幅值从起始幅值到最高幅值周期性变化的电压信号,该电压信号的幅值变化周期小于或等于一帧的显示周期。例如,第二数据信号端Vdata2的第二数据电压可以为一帧内一直跳变的三角波电压、正弦电压或余弦电压信号,起始幅值建议为0V,最高幅值大于或等于第一数据电压V1的幅值。当第二数据电压V2跳变至起始幅值0V时,第二节点N2的电压跳变为VDD+Vth-V1,此时第四晶体管M4的栅源电压Vgs=VDD+Vth-V1-VDD=Vth-V1<Vth,第四晶体管M4为开启状态,此时,第一电压端VDD通过第四晶体管M4和第五晶体管M5向发光元件L提供电流,使发光元件L

发光;当随着第二数据信号端Vdata2输出的第二数据电压V2的电压幅值逐渐升高至第一数据电压V1的幅值时,第二节点N2的电压跳变为VDD+Vth,第四晶体管M4关闭,此时发光元件L不发光。

[0087] 如图7所示,在显示一帧画面的过程中,像素电路具有多个发光阶段,例如,在显示第一帧画面的过程中,像素电路具有多个第一发光阶段E1;在显示第二帧画面的过程中,像素电路具有多个第二发光阶段E2;……,在显示第N帧画面的过程中,像素电路具有多个第N发光阶段En,图10中只示出了两个发光阶段:第一发光阶段E1、第二发光阶段E2。需要说明的是,各个发光阶段的有效发光时长可以相同或不同。

[0088] 在本实施例中,包含该像素电路的像素单元在显示一帧画面的过程中的总体亮度可通过叠加该像素电路中的发光元件L在多个发光阶段发光亮度获得。

[0089] 在本实施例中,上述像素电路可以使得像素单元的微LED显示例如低灰阶。例如,可以通过降低微LED的发光时间来使得包括该微LED的像素单元显示低灰阶。例如,可以通过控制微LED的发光时间来使得包括该微LED的像素单元显示所需的灰阶。

[0090] 实施例二

[0091] 基于上述实施例的发明构思,本发明一些实施例还提供一种像素电路的驱动方法,应用于前述第一实施例提供的像素电路中,在一图像帧内,像素电路具有多个扫描周期。

[0092] 在一个扫描周期(例如第一扫描周期)内,该像素电路的驱动方法,如图8所示,包括步骤100~101。

[0093] 步骤100、向第一电压端提供第一电压,向扫描信号端提供扫描信号,向第一数据信号端提供第一数据电压,第一数据电压通过第一充电电子电路写入至第一节点,第二充电电子电路在扫描信号端的控制下对第二节点进行补偿;

[0094] 具体的,第二充电电子电路在扫描信号端的控制下对第二节点进行补偿时,将第二节点的电压补偿为第一电压端提供的第一电压和第一开关子电路的阈值电压之和。

[0095] 步骤101、向发光控制端提供发光控制信号,向第二数据信号端提供幅度周期变化的第二数据电压,该第二数据电压通过第一充电电子电路写入至第一节点,第二节点的电压随着第一节点的电压发生跳变,以控制第一开关子电路开启或关闭,发光子电路在第一开关子电路和第二开关子电路的控制下,基于第一电压端和第二电压端之间的电势差发光。

[0096] 具体的,第二数据电压的幅度变化周期小于或等于一帧的显示周期。可选地,第二数据电压可以为三角波信号、正弦信号或余弦信号。

[0097] 本发明实施例提供的技术方案,通过第二充电电子电路在扫描信号端的控制下对第二节点进行补偿,避免了第一开关子电路的阈值电压在显示过程中的变化对发光子电路中的发光元件L的发光亮度产生影响,有助于发光元件L的发光亮度在显示过程中保持稳定,进而有助于提高显示效果,同时,通过将第二数据信号端的信号设置为幅度周期性变化的信号,周期性地控制第一开关子电路打开或关闭,相应地控制发光元件L的发光时长,从而可以控制发光元件L的有效发光亮度,达到调节显示灰阶的目的。

[0098] 实施例三

[0099] 本发明实施例提供一种像素电路,图9为本申请像素电路第三实施例的结构示意图,本实施例是前述第一实施例的一种扩展,主体结构与所述第一实施例基本上相同,所不

同的是,本实施例的第一开关子电路分别与第三电压端Vref、第二节点N2以及第三节点N3连接,用于在第二节点N2的控制下,向第三节点N3提供第三电压端Vref的信号。例如,第一开关子电路的控制端和第二节点N2连接,第一开关子电路的第一端和第三电压端Vref连接,第一开关子电路的第二端和第三节点N3连接。本实施例的像素电路还包括电流控制子电路,该电流控制子电路连接在第四节点N4和发光子电路之间,该电流控制子电路分别与扫描信号端Gate、第一电压端VDD和第三数据信号端Vdata3连接,用于在第四节点N4和扫描信号端Gate的控制下,输出预设的电流至发光子电路。本发明实施例通过电流控制子电路控制发光子电路中的发光元件L始终工作在高电流密度区域,即器件效率稳定区域,确保了发光元件L的发光效率,从而提高了发光元件L工作的稳定性,再通过发光控制子电路(包含前述的第一充电电子电路、第二充电电子电路、存储子电路、第一开关子电路和第二开关子电路)控制发光元件L的发光时长,从而准确有效地控制发光元件L的亮度和灰阶。

[0100] 下面结合电流控制子电路的具体结构来详细说明如何通过电流控制子电路控制发光元件L始终工作在高电流密度区域。

[0101] 根据本发明的一个实施例,如图10所示,电流控制子电路可包括第三充电电子电路、第二存储子电路、第三开关子电路和第四开关子电路。

[0102] 具体的,第三充电电子电路分别与扫描信号端Gate、第三数据信号端Vdata3和第五节点N5连接,用于在扫描信号端Gate的控制下,向第五节点N5提供第三数据信号端Vdata3的信号;第二存储子电路分别与第一电压端VDD和第五节点N5连接,用于存储第一电压端VDD和第五节点N5之间的电荷量;第三开关子电路分别与第一电压端VDD、第五节点N5和第六节点N6连接,用于在第五节点N5的控制下,向第六节点N6提供第一电压端VDD的信号;第四开关子电路分别与第六节点N6、发光子电路的一端和第四节点N4连接,用于在第四节点N4的控制下,向发光子电路提供第六节点N6的信号。本实施例中,第一电压端VDD输出的第一电压可以为恒定的高电平;第三电压端Vref输出的第三电压可以为恒定的低电平。

[0103] 可选地,图11为本发明实施例提供的像素电路的等效电路图,如图11所示,本发明实施例提供的像素电路中,第一充电电子电路包括前充电电子电路和后充电电子电路,前充电电子电路包括第一晶体管M1,后充电电子电路包括第二晶体管M2;第二充电电子电路包括:第三晶体管M3,第一存储子电路包括第一电容C1,第一开关子电路包括:第四晶体管M4,第二开关子电路包括第五晶体管M5;第三充电电子电路包括:第六晶体管M6,第二存储子电路包括第二电容C2,第三开关子电路包括第七晶体管M7,第四开关子电路包括第八晶体管M8。

[0104] 具体的,第一晶体管M1的控制极与扫描信号端Gate连接,第一晶体管M1的第一极与第一数据信号端Vdata1连接,第一晶体管M1的第二极与第一节点N1连接;第二晶体管M2的控制极与发光控制端EM连接,第二晶体管M2的第一极与第二数据信号端Vdata2连接,第二晶体管M2的第二极与第一节点N1连接;第三晶体管M3的控制极与扫描信号端Gate连接,第三晶体管M3的第一极与第二节点N2连接,第三晶体管M3的第二极与第三节点N3连接;第一电容C1的一端与第一节点N1连接,第一电容C1的另一端与第二节点N2连接;第四晶体管M4的控制极与第二节点N2连接,第四晶体管M4的第一极与第三电压端Vref连接,第四晶体管M4的第二极与第三节点N3连接;第五晶体管M5的控制极与发光控制端EM连接,第五晶体管M5的第一极与第三节点N3连接,第五晶体管M5的第二极与第四节点N4连接。

[0105] 第六晶体管M6的控制极与扫描信号端Gate连接,第六晶体管M6的第一极与第三数

据信号端Vdata3连接,第六晶体管M6的第二极与第五节点N5连接;第二电容C2的一端与第五节点N5连接,第二电容C2的另一端与第一电压端VDD连接;第七晶体管M7的控制极与第五节点N5连接,第七晶体管M7的第一极与第一电压端VDD连接,第七晶体管M7的第二极与第六节点N6连接;第八晶体管M8的控制极与第四节点N4连接,第八晶体管M8的第一极与第六节点N6连接,第八晶体管M8的第二极与发光元件L的阳极连接;发光元件L的阴极与第二电压端VSS连接。

[0106] 图11中具体示出了像素电路中前充电电子电路、后充电电子电路、第二充电电子电路、第一存储子电路、第一开关子电路、第二开关子电路、第三充电电子电路、第二存储子电路、第三开关子电路、第四开关子电路和发光子电路的示例性结构。本领域技术人员容易理解是,以上各子电路的实现方式不限于此,只要能够实现其各自的功能即可。

[0107] 在本实施例中,第一晶体管M1~第八晶体管M8均可以为N型薄膜晶体管或P型薄膜晶体管,可以统一工艺流程,有助于提高产品的良率。此外,考虑到低温多晶硅薄膜晶体管的漏电流较小,因此,本发明实施例优选所有晶体管为低温多晶硅薄膜晶体管,薄膜晶体管具体可以选择底栅结构的薄膜晶体管或者顶栅结构的薄膜晶体管,只要能够实现开关功能即可。

[0108] 需要说明的是,第一电容C1和第二电容C2可以是由像素电极与公共电极构成的液晶电容,也可以是由像素电极与公共电极构成的液晶电容以及存储电容构成的等效电容,本发明对此不作限定。

[0109] 下面通过像素电路的工作过程进一步说明本发明实施例的技术方案。需要说明的是,下面是以第一级像素电路的工作过程为例进行说明的。

[0110] 以本发明实施例提供的像素电路中的晶体管T1~T8均为P型薄膜晶体管为例,图12为本发明实施例提供的像素电路的工作时序图,如图11和图12所示,本发明实施例提供的像素电路包括8个晶体管单元(M1~M8)、2个电容单元(C1~C2)、2个信号输入端(Gate和EM)和6个电源端(Vdata1、Vdata2、Vdata3、Vref、VSS、VDD),其工作过程包括:

[0111] 输入阶段T1,在扫描信号端Gate施加低电平,使第一晶体管M1、第三晶体管M3和第六晶体管M6导通,并在其他各个控制信号输入端施加高电平,在第一数据信号端Vdata1施加第一数据电压V1(图中示出的是第一数据电压V1在各个帧显示周期中可以不同,例如,图中示出的第一数据电压V1在第一个帧显示周期中可以为Va,在第二个帧显示周期中也可以为Vb,其中,Vb小于Va)。如图11所示,第三电压端Vref经第四晶体管M4和第三晶体管M3向第二节点N2充电,直到第二节点N2的电压达到Vref+Vth(此时达到第四晶体管M4的截止条件,这里的Vth为第四晶体管M4的开启阈值,在这里为负值)。由于第一晶体管M1的导通,使得第一数据电压V1写入到第一节点N1。此时第一节点N1和第二节点N2之间的压差为Vref+Vth-V1。第五节点存入第三数据信号端Vdata3的第三数据电压。在第一电压端VDD施加第一电压,第七晶体管M7根据第五节点N5的电压产生用于驱动发光元件L发光的驱动电流并输出到第六节点N6。这个阶段,由于第五晶体管M5被关断,第八晶体管M8也是关闭状态,此时发光元件L不会发光,延长了发光元件L的使用寿命。

[0112] 发光控制阶段T2,在发光控制端EM上施加低电平,在其他控制信号输入端均施加高电平,此时第二晶体管M2和第五晶体管M5导通,如图11所示,第二数据信号端Vdata2经第二晶体管M2与第一节点N1导通。此时第一节点N1的电压被置为第二数据信号端Vdata2输出

的第二数据电压V2,而由于第二节点N2浮接,此时第二节点N2的电压发生跳变,跳变为 $V_{ref}+V_{th}-V_1+V_2$ (保持第一电容C1两端的压差为 $V_{ref}+V_{th}-V_1$)。

[0113] 本实施例中,第二数据信号端Vdata2的第二数据电压V2为一帧内幅度周期性变化的电压信号,该电压信号的幅值变化周期小于或等于一帧的显示周期。例如,第二数据信号端Vdata2的第二数据电压可以为一帧内一直跳变的三角波电压、正弦电压或余弦电压信号,起始幅值建议为0V,最高幅值大于或等于第一数据电压V1的幅值。当第二数据电压V2跳变至起始幅值0V时,第二节点N2的电压跳变为 $V_{ref}+V_{th}-V_1$,此时第四晶体管M4的栅源电压 $V_{gs}=V_{ref}+V_{th}-V_1-V_{ref}=V_{th}-V_1<V_{th}$,第四晶体管M4为开启状态,此时,第四节点N4的高电平时间为第八晶体管M8的关闭时间,第八晶体管M8关闭,像素不发光;当随着第二数据信号端Vdata2输出的第二数据电压的电压幅值逐渐升高至第一数据电压V1的幅值时,第二节点N2的电压跳变为 $V_{ref}+V_{th}$,第四晶体管M4关闭,此时,第四节点的低电平时间为第八晶体管M8的开启时间,第八晶体管M8开启,电流控制子电路通过第八晶体管M8向发光元件L提供电流,使发光元件L发光。

[0114] 如图12所示,在显示一帧画面的过程中,像素电路具有多个发光阶段,例如,在显示第一帧画面的过程中,像素电路具有多个第一发光阶段E1;在显示第二帧画面的过程中,像素电路具有多个第二发光阶段E2;……,在显示第N帧画面的过程中,像素电路具有多个第N发光阶段En,图10中只示出了两个发光阶段:第一发光阶段E1、第二发光阶段E2。需要说明的是,各个发光阶段的有效发光时长可以相同或不同。

[0115] 在本实施例中,包含该像素电路的像素单元在显示一帧画面的过程中的总体亮度可通过叠加该像素子电路中的发光元件L在多个发光阶段发光亮度获得。

[0116] 在本实施例中,上述像素电路可以使得像素单元的发光元件工作在高电流密度的情况下显示例如低灰阶。例如,可以通过降低工作在高电流密度下的发光元件L的发光时间来使得包括该发光元件L的像素单元显示低灰阶。例如,可以通过控制工作在高电流密度下的发光元件L的发光时间和/或驱动电流的电流密度来使得包括该发光元件L的像素单元显示所需的灰阶。

[0117] 综上所述,像素电路中发光元件L在一图像帧内的有效发光亮度可以由一图像帧内扫描周期的个数、每个扫描周期的时长、第一数据电压、第二数据电压、第三数据电压、发光控制信号端提供的发光控制信号多个因素决定,从而可以使得具有像素电路的亚像素显示的灰阶值更多,显示面板显示的画面更加的丰富、细腻。

[0118] 实施例四

[0119] 基于上述实施例的发明构思,本发明一些实施例还提供一种像素电路的驱动方法,应用于前述第二实施例提供的像素电路中,在一图像帧内,像素电路具有多个扫描周期。

[0120] 在一个扫描周期(例如第一扫描周期)内,该像素电路的驱动方法,如图13所示,包括步骤200~201。

[0121] 步骤200、向第一电压端提供第一电压,向扫描信号端提供扫描信号,向第一数据信号端提供第一数据电压,向第三数据信号端提供第三数据电压,第一数据电压通过第一充电电路写入至第一节点,第二充电电路在扫描信号端的控制下对第二节点进行补偿,电流控制子电路在扫描信号端的控制下,基于第一电压和第三数据电压,生成预设电流

密度的驱动电流；

[0122] 具体的，第二充电电子电路在扫描信号端的控制下对第二节点进行补偿时，将第二节点的电压补偿为第三电压端提供的第三电压和第一开关子电路的阈值电压之和。

[0123] 步骤201、向发光控制端提供发光控制信号，向第二数据信号端提供幅度周期变化的第二数据电压，该第二数据电压通过第一充电电子电路写入至第一节点，第二节点的电压随着第一节点的电压发生跳变，以控制第一开关子电路开启或关闭，发光子电路在第一开关子电路和第二开关子电路的控制下，根据所述驱动电流的电流大小发光。

[0124] 具体的，第二数据电压的幅度变化周期小于或等于一帧的显示周期。可选地，第二数据电压可以为三角波信号、正弦信号或余弦信号。

[0125] 本发明实施例提供的技术方案，通过第二充电电子电路在扫描信号端的控制下对第二节点进行补偿，避免了第一开关子电路的阈值电压在显示过程中的变化对发光子电路中的发光元件L的发光亮度产生影响，有助于发光元件L的发光亮度在显示过程中保持稳定，进而有助于提高显示效果，同时，通过将第二数据信号端的信号设置为幅度周期性变化的信号，周期性地控制第一开关子电路打开或关闭，相应地控制发光元件L的发光时长，从而可以控制发光元件L的有效发光亮度，达到调节显示灰阶的目的。此外，本实施例通过电流控制子电路控制发光元件始终工作在高电流密度区域，即器件效率稳定区域，确保了发光元件L的发光效率，从而提高了发光元件工作的稳定性。

[0126] 实施例五

[0127] 本发明实施例提供一种像素电路，图14为本申请像素电路第五实施例的结构示意图，本实施例是前述第一实施例的一种扩展，主体结构与所述第一实施例基本上相同，所不同的是，本实施例的第一开关子电路分别与第三电压端Vref、第二节点N2以及第三节点N3连接，用于在第二节点N2的控制下，向第三节点N3提供第三电压端Vref的信号。例如，第一开关子电路的控制端和第二节点N2连接，第一开关子电路的第一端和第三电压端Vref连接，第一开关子电路的第二端和第三节点N3连接。本实施例的像素电路还包括电流控制子电路，该电流控制子电路连接在第四节点N4和发光子电路的一端之间，该电流控制子电路分别与扫描信号端Gate、第一电压端VDD和第三数据信号端Vdata3连接，用于在第四节点N4和扫描信号端Gate的控制下，输出预设的电流至发光元件L的阳极。本发明实施例通过电流控制子电路控制发光子电路中的发光元件L始终工作在高电流密度区域，即器件效率稳定区域，确保了发光元件L的发光效率，从而提高了发光元件L工作的稳定性，再通过发光控制子电路（包含前述的第一充电电子电路、第二充电电子电路、存储子电路、第一开关子电路和第二开关子电路）控制发光元件L的发光时长，从而准确有效地控制发光元件L的亮度和灰阶。

[0128] 下面结合电流控制子电路的具体结构来详细说明如何通过电流控制子电路控制发光元件L始终工作在高电流密度区域。

[0129] 根据本发明的一个实施例，如图14所示，电流控制子电路可包括第一复位子电路、第四充电电子电路、第三存储子电路、第一补偿子电路、第一驱动子电路和第四开关子电路。

[0130] 第一复位子电路分别与复位控制信号端RST、复位电压端Vini和第七节点N7连接，用于在复位控制信号端RST的控制下，将复位电压端Vini的信号写入第七节点N7；第四充电电子电路分别与扫描信号端Gate、第三数据信号端Vdata3以及第八节点N8连接，用于在扫描信号端Gate的控制下，向第八节点N8提供第三数据信号端Vdata3的信号；第三存储子电路

分别与第七节点N7和第八节点N8连接,用于存储第七节点N7和第八节点N8之间的电荷量;第一补偿子电路分别与扫描信号端Gate、第六节点N6和第七节点N7连接,用于在扫描信号端Gate的控制下,对第七节点N7的电压进行补偿;第一驱动子电路分别与第六节点N6、第七节点N7和第一电压端VDD连接,用于在第七节点N7的控制下,根据第一电压端VDD的电压产生驱动电流并输出至第六节点N6;第四开关子电路分别与第六节点N6、发光子电路的一端和第四节点N4连接,用于在第四节点N4的控制下,向发光子电路提供第六节点N6的信号。

[0131] 可选地,图15为本发明实施例提供的像素电路的等效电路图,如图15所示,本发明实施例提供的像素电路中,第一充电子电路包括前充电子电路和后充电子电路,前充电子电路包括第一晶体管M1,后充电子电路包括第二晶体管M2;第二充电子电路包括:第三晶体管M3,第一存储子电路包括第一电容C1,第一开关子电路包括:第四晶体管M4,第二开关子电路包括第五晶体管M5;第四开关子电路包括第八晶体管M8,第一复位子电路包括第九晶体管M9,第四充电子电路包括第十晶体管M10、第十一晶体管M11和第十二晶体管M12,第三存储子电路包括第三电容C3,第一补偿子电路包括第十三晶体管M13,第一驱动子电路包括第十四晶体管M14,发光子电路包括发光元件L。

[0132] 具体的,第一晶体管M1的控制极与扫描信号端Gate连接,第一晶体管M1的第一极与第一数据信号端Vdata1连接,第一晶体管M1的第二极与第一节点N1连接;第二晶体管M2的控制极与发光控制端EM连接,第二晶体管M2的第一极与第二数据信号端Vdata2连接,第二晶体管M2的第二极与第一节点N1连接;第三晶体管M3的控制极与扫描信号端Gate连接,第三晶体管M3的第一极与第二节点N2连接,第三晶体管M3的第二极与第三节点N3连接;第一电容C1的一端与第一节点N1连接,第一电容C1的另一端与第二节点N2连接;第四晶体管M4的控制极与第二节点N2连接,第四晶体管M4的第一极与第三电压端Vref连接,第四晶体管M4的第二极与第三节点N3连接;第五晶体管M5的控制极与发光控制端EM连接,第五晶体管M5的第一极与第三节点N3连接,第五晶体管M5的第二极与第四节点N4连接。

[0133] 第八晶体管M8的控制极与第四节点N4连接,第八晶体管M8的第一极与第六节点N6连接,第八晶体管M8的第二极与发光元件L的阳极连接;第九晶体管M9的控制极与复位控制信号端RST连接,第九晶体管M9的第一极与复位电压端Vini连接,第九晶体管M9的第二极与第七节点N7连接;第十晶体管M10的控制极与扫描信号端Gate连接,第十晶体管M10的第一极与第三数据信号端Vdata3连接,第十晶体管M10的第二极与第八节点N8连接;第十一晶体管M11的控制极与发光控制端EM连接,第十一晶体管M11的第一极与第二电压端Vref连接,第十一晶体管M11的第二极与第八节点N8连接;第十二晶体管M12的控制极与复位控制信号端RST连接,第十二晶体管M12的第一极与第二电压端Vref连接,第十二晶体管M12的第二极与第八节点N8连接;第三电容C3的一端与第七节点N7连接,第三电容C3的另一端与第八节点N8连接;第十三晶体管M13的控制极与扫描信号端Gate连接,第十三晶体管M13的第一极与第六节点N6连接,第十三晶体管M13的第二极与第七节点N7连接;第十四晶体管M14的控制极与第七节点N7连接,第十四晶体管M14的第一极与第一电压端VDD连接,第十四晶体管M14的第二极与第六节点N6连接。

[0134] 图15中具体示出了像素电路中前充电子电路、后充电子电路、第二充电子电路、第一存储子电路、第一开关子电路、第二开关子电路、第一复位子电路、第四充电子电路、第三存储子电路、第一补偿子电路、第一驱动子电路、第四开关子电路和发光子电路的示例性结

构。本领域技术人员容易理解是,以上各子电路的实现方式不限于此,只要能够实现其各自的功能即可。

[0135] 具体的,根据本发明实施例,复位电压 V_{ini} 可以为低电平,使驱动晶体管(即第十四晶体管M14)处于接近导通而未能开启的状态,从而为接下来的数据写入阶段期间对驱动晶体管的栅极进行充电做准备,使得第三数据信号端提供的第三数据电压 V_{data3} 能够更快速地为驱动晶体管的栅极进行充电。因此,在后续的数据写入期间中,当不同的数据电压写入到驱动晶体管时,可以减少数据电压写入的时间,从而使得对于整个显示面板的所有像素电路而言,所有驱动晶体管的响应时间几乎相同,数据电压的写入时间大致相同,对整个显示面板而言,这种设置方式使得显示效果均一性更高。

[0136] 本实施例的像素电路的工作过程与前述第三实施例的像素电路的工作过程类似,只是电流控制子电路产生驱动电流的过程有所不同,此处不再赘述。

[0137] 本实施例同样实现了前述第三实施例的技术效果,包括通过电流控制子电路控制发光元件L始终工作在高电流密度区域,即器件效率稳定区域,确保了发光元件L的发光效率,从而提高了发光元件L工作的稳定性,再通过发光控制子电路(包含前述的第一充电电子电路、第二充电电子电路、存储子电路、第一开关子电路和第二开关子电路)控制发光元件L的发光时长,从而准确有效地控制发光元件L的亮度和灰阶。

[0138] 实施例六

[0139] 本发明实施例提供一种像素电路,图16为本申请像素电路第六实施例的结构示意图,本实施例是前述第一实施例的一种扩展,主体结构与所述第一实施例基本上相同,所不同的是,本实施例的第一开关子电路分别与第三电压端 V_{ref} 、第二节点N2以及第三节点N3连接,用于在第二节点N2的控制下,向第三节点N3提供第三电压端 V_{ref} 的信号。例如,第一开关子电路的控制端和第二节点N2连接,第一开关子电路的第一端和第三电压端 V_{ref} 连接,第一开关子电路的第二端和第三节点N3连接。本实施例的像素电路还包括电流控制子电路,该电流控制子电路连接在第四节点N4和发光子电路的一端之间,该电流控制子电路分别与扫描信号端Gate、发光控制端EM、第一电压端VDD和第三数据信号端 V_{data3} 连接,用于在第四节点N4、发光控制端EM和扫描信号端Gate的控制下,输出预设的电流至发光子电路。本发明实施例通过电流控制子电路控制发光子电路中的发光元件L始终工作在高电流密度区域,即器件效率稳定区域,确保了发光元件L的发光效率,从而提高了发光元件L工作的稳定性,再通过发光控制子电路(包含前述的第一充电电子电路、第二充电电子电路、存储子电路、第一开关子电路和第二开关子电路)控制发光元件L的发光时长,从而准确有效地控制发光元件L的亮度和灰阶。

[0140] 下面结合电流控制子电路的具体结构来详细说明如何通过电流控制子电路控制发光元件L始终工作在高电流密度区域。

[0141] 根据本发明的一个实施例,如图16所示,电流控制子电路可包括第二复位子电路、第三复位子电路、发光控制子电路、第五充电电子电路、第四存储子电路、第二补偿子电路、第二驱动子电路和第四开关子电路。

[0142] 具体的,第二复位子电路分别与复位控制信号端RST、复位电压端 V_{ini} 和第九节点N9连接,用于在复位控制信号端RST的控制下,将复位电压端 V_{ini} 的信号写入第九节点N9;第三复位子电路分别与扫描信号端Gate、复位电压端 V_{ini} 和发光元件L的阳极连接,用于在

扫描信号端Gate的控制下,将复位电压端Vini的信号写入发光元件L的阳极;发光控制子电路分别与发光控制端EM、第一电压端VDD以及第十节点N10连接,用于在发光控制端EM的控制下,向第十节点N10提供第一电压端VDD的信号;第五充电子电路分别与扫描信号端Gate、第三数据信号端Vdata3以及第十节点N10连接,用于在扫描信号端Gate的控制下,向第十节点N10提供第三数据信号端Vdata3的信号;第四存储子电路分别与第九节点N9和第一电压端VDD连接,用于存储第九节点N9和第一电压端VDD之间的电荷量;第二补偿子电路分别与扫描信号端Gate、第六节点N6和第九节点N9连接,用于在扫描信号端Gate的控制下,对第九节点N9的电压进行补偿;第二驱动子电路分别与第六节点N6、第九节点N9和第十节点N10连接,用于在第九节点N9的控制下,根据第十节点N10的电压产生驱动电流并输出至第六节点N6;第四开关子电路分别与第六节点N6、发光子电路的一端和第四节点N4连接,用于在第四节点N4的控制下,向发光子电路提供第六节点N6的信号。

[0143] 可选地,图17为本发明实施例提供的像素电路的等效电路图,如图17所示,本发明实施例提供的像素电路中,第一充电子电路包括前充电子电路和后充电子电路,前充电子电路包括第一晶体管M1,后充电子电路包括第二晶体管M2;第二充电子电路包括:第三晶体管M3,第一存储子电路包括第一电容C1,第一开关子电路包括:第四晶体管M4,第二开关子电路包括第五晶体管M5;第四开关子电路包括第八晶体管M8,第二复位子电路包括第十五晶体管M15,第三复位子电路包括第十六晶体管M16,第五充电子电路包括第十七晶体管M17,第四存储子电路包括第四电容C4,第二补偿子电路包括第十八晶体管M18,第二驱动子电路包括第十九晶体管M19,发光控制子电路包括第二十晶体管M20,发光子电路包括发光元件L。

[0144] 具体的,第一晶体管M1的控制极与扫描信号端Gate连接,第一晶体管M1的第一极与第一数据信号端Vdata1连接,第一晶体管M1的第二极与第一节点N1连接;第二晶体管M2的控制极与发光控制端EM连接,第二晶体管M2的第一极与第二数据信号端Vdata2连接,第二晶体管M2的第二极与第一节点N1连接;第三晶体管M3的控制极与扫描信号端Gate连接,第三晶体管M3的第一极与第二节点N2连接,第三晶体管M3的第二极与第三节点N3连接;第一电容C1的一端与第一节点N1连接,第一电容C1的另一端与第二节点N2连接;第四晶体管M4的控制极与第二节点N2连接,第四晶体管M4的第一极与第三电压端Vref连接,第四晶体管M4的第二极与第三节点N3连接;第五晶体管M5的控制极与发光控制端EM连接,第五晶体管M5的第一极与第三节点N3连接,第五晶体管M5的第二极与第四节点N4连接。

[0145] 第八晶体管M8的控制极与第四节点N4连接,第八晶体管M8的第一极与第六节点N6连接,第八晶体管M8的第二极与发光元件L的阳极连接;第十五晶体管M15的控制极与扫描信号端Gate连接,第十五晶体管M15的第一极与复位电压端Vini连接,第十五晶体管M15的第二极与发光元件L的阳极连接;第十六晶体管M16的控制极与复位控制信号端RST连接,第十六晶体管M16的第一极与复位电压端Vini连接,第十六晶体管M16的第二极与第九节点N9连接;第十七晶体管M17的控制极与扫描信号端Gate连接,第十七晶体管M17的第一极与第三数据信号端Vdata3连接,第十七晶体管M17的第二极与第十节点N10连接;第十八晶体管M18的控制极与扫描信号端Gate连接,第十八晶体管M18的第一极与第六节点N6连接,第十八晶体管M18的第二极与第九节点N9连接;第十九晶体管M19的控制极与第九节点N9连接,第十九晶体管M19的第一极与第十节点N10连接,第十九晶体管M19的第二极与第六节点N6

连接;第二十晶体管M20的控制极与发光控制端EM连接,第二十晶体管M20的第一极与第一电压端VDD连接,第二十晶体管M20的第二极与第十节点N10连接;第四电容C4的一端与第一电压端VDD连接,第四电容C4的另一端与第九节点N9连接。

[0146] 图17中具体示出了像素电路中前充电子电路、后充电子电路、第二充电子电路、第一存储子电路、第一开关子电路、第二开关子电路、第二复位子电路、第三复位子电路、第五充电子电路、第四存储子电路、第二补偿子电路、第二驱动子电路、发光控制子电路、第四开关子电路和发光子电路的示例性结构。本领域技术人员容易理解是,以上各子电路的实现方式不限于此,只要能够实现其各自的功能即可。

[0147] 本实施例的像素电路的工作过程与前述第三实施例的像素电路的工作过程类似,只是电流控制子电路产生驱动电流的过程有所不同,此处不再赘述。

[0148] 本实施例同样实现了前述第三实施例的技术效果,包括通过电流控制子电路控制发光元件L始终工作在高电流密度区域,即器件效率稳定区域,确保了发光元件L的发光效率,从而提高了发光元件L工作的稳定性,再通过发光控制子电路(包含前述的第一充电子电路、第二充电子电路、存储子电路、第一开关子电路和第二开关子电路)控制发光元件L的发光时长,从而准确有效地控制发光元件L的亮度和灰阶。

[0149] 本发明实施例还提供了一种显示装置,包括上述任一项所述的像素电路。这里的显示装置可以为:电子纸、手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0150] 有以下几点需要说明:

[0151] 本发明实施例附图只涉及本发明实施例涉及到的结构,其他结构可参考通常设计。

[0152] 在不冲突的情况下,本发明的实施例即实施例中的特征可以相互组合以得到新的实施例。

[0153] 虽然本发明所揭露的实施方式如上,但所述的内容仅为便于理解本发明而采用的实施方式,并非用以限定本发明。任何本发明所属领域内的技术人员,在不脱离本发明所揭露的精神和范围的前提下,可以在实施的形式及细节上进行任何的修改与变化,但本发明的专利保护范围,仍须以所附的权利要求书所界定的范围为准。

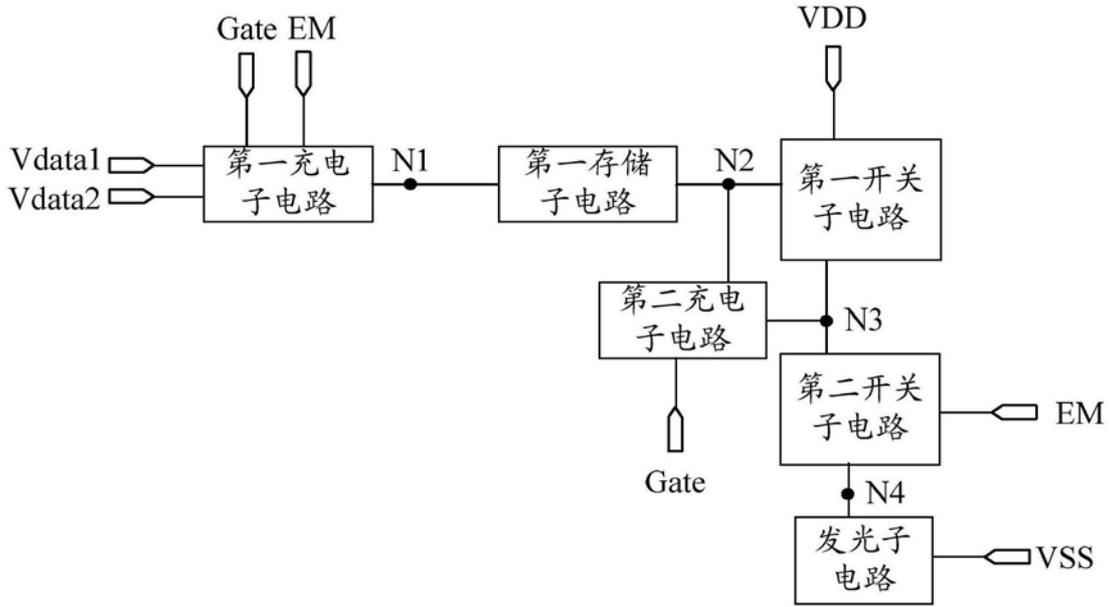


图1

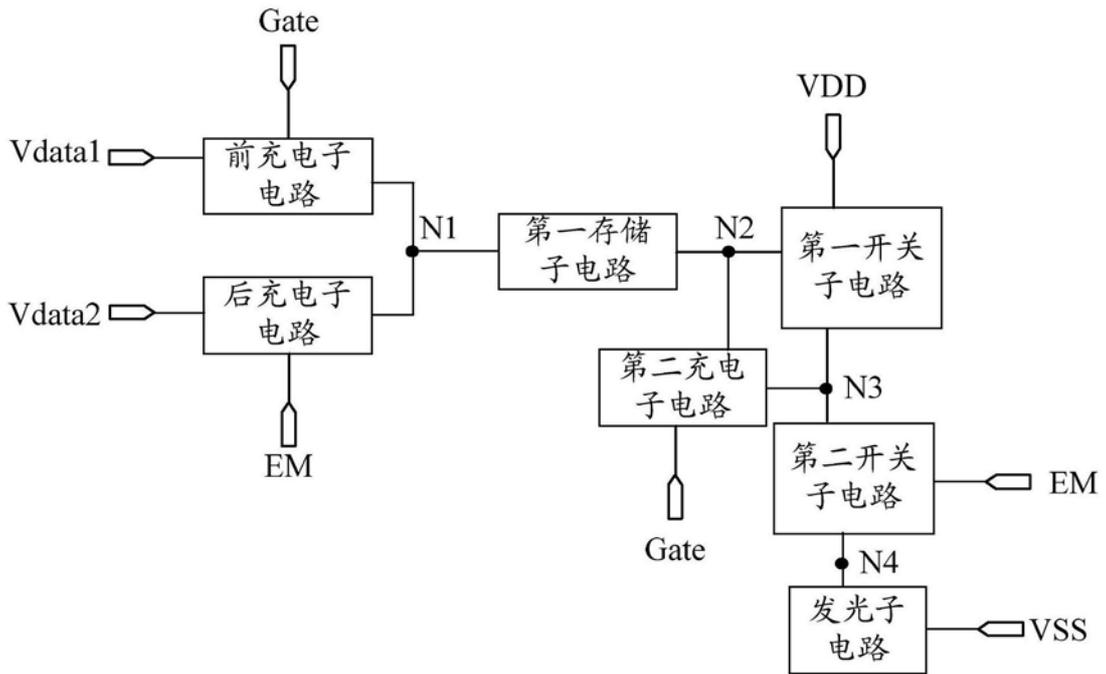


图2

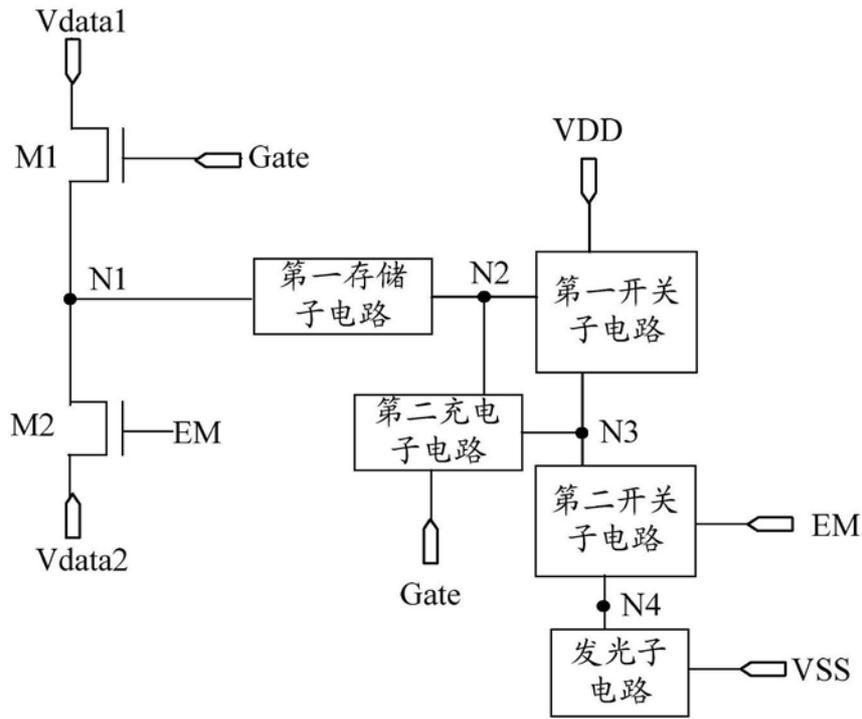


图3

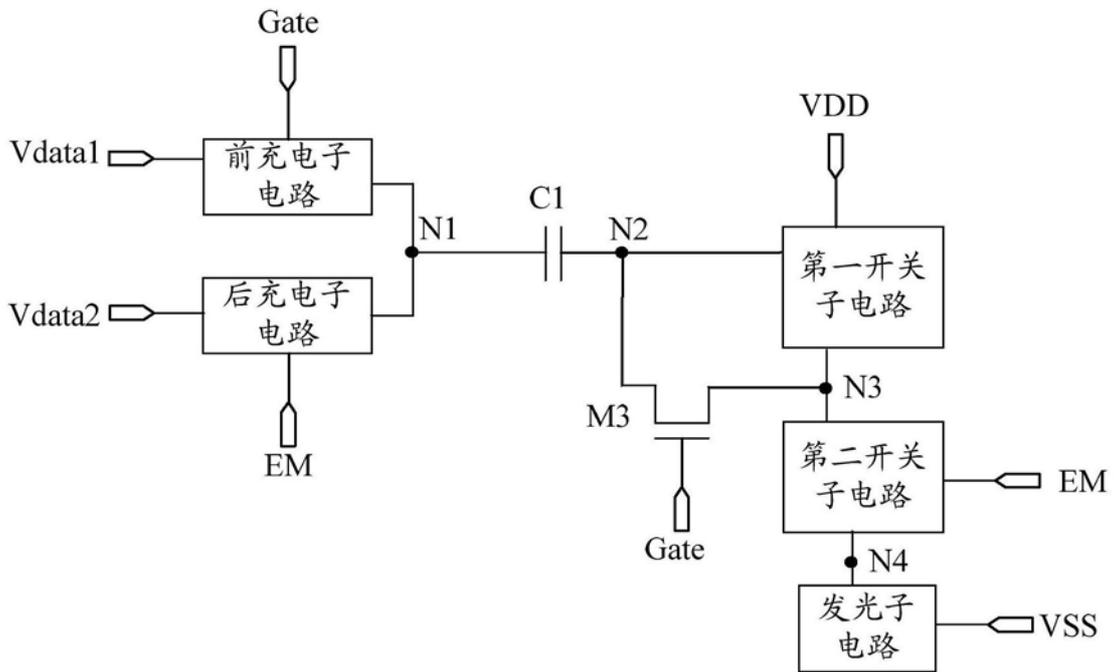


图4

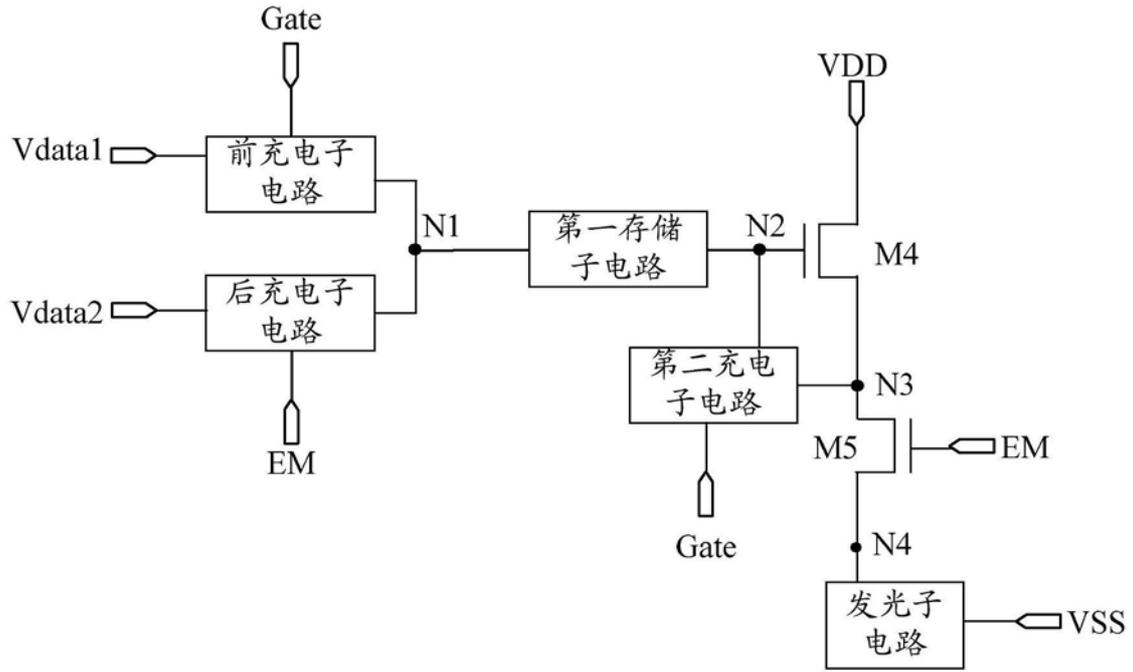


图5

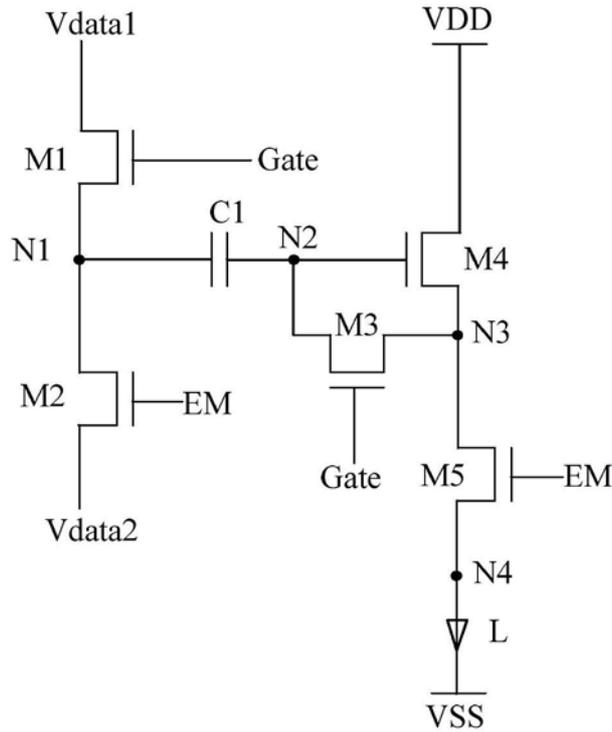


图6

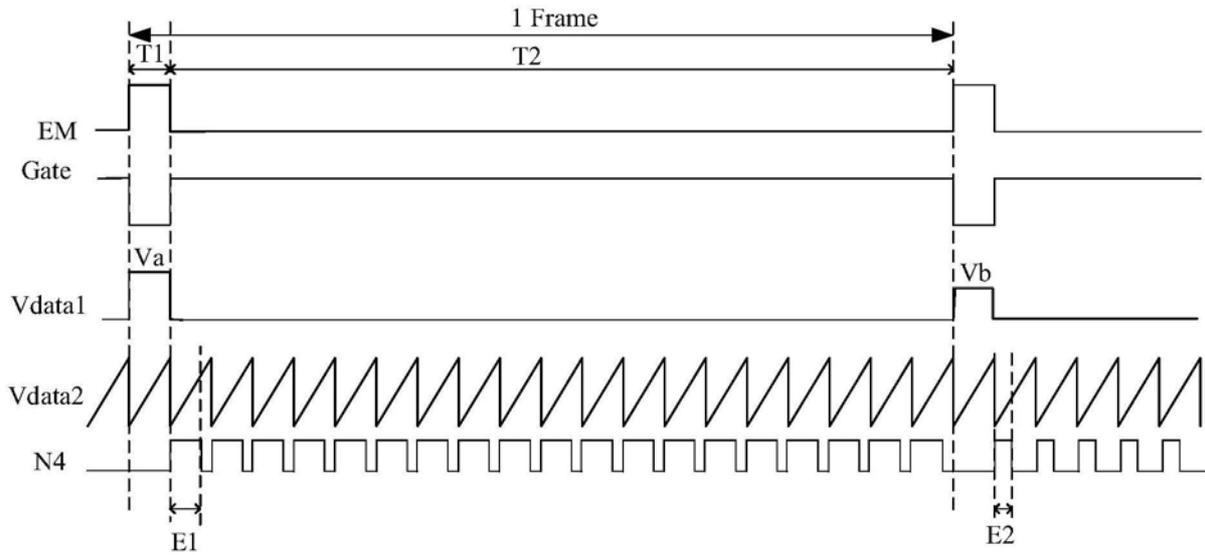


图7

向第一电压端提供第一电压，向扫描信号端提供扫描信号，向第一数据信号端提供第一数据电压，第一数据电压通过第一充电电子电路写入至第一节点，第二充电电子电路在扫描信号端的控制下对第二节点进行补偿

100

向发光控制端提供发光控制信号，向第二数据信号端提供幅度周期变化的第二数据电压，该第二数据电压通过第一充电电子电路写入至第一节点，第二节点的电压随着第一节点的电压发生跳变，以控制第一开关子电路开启或关闭，发光子电路在第一开关子电路和第二开关子电路的控制下，基于第一电压端和第二电压端之间的电势差发光

101

图8

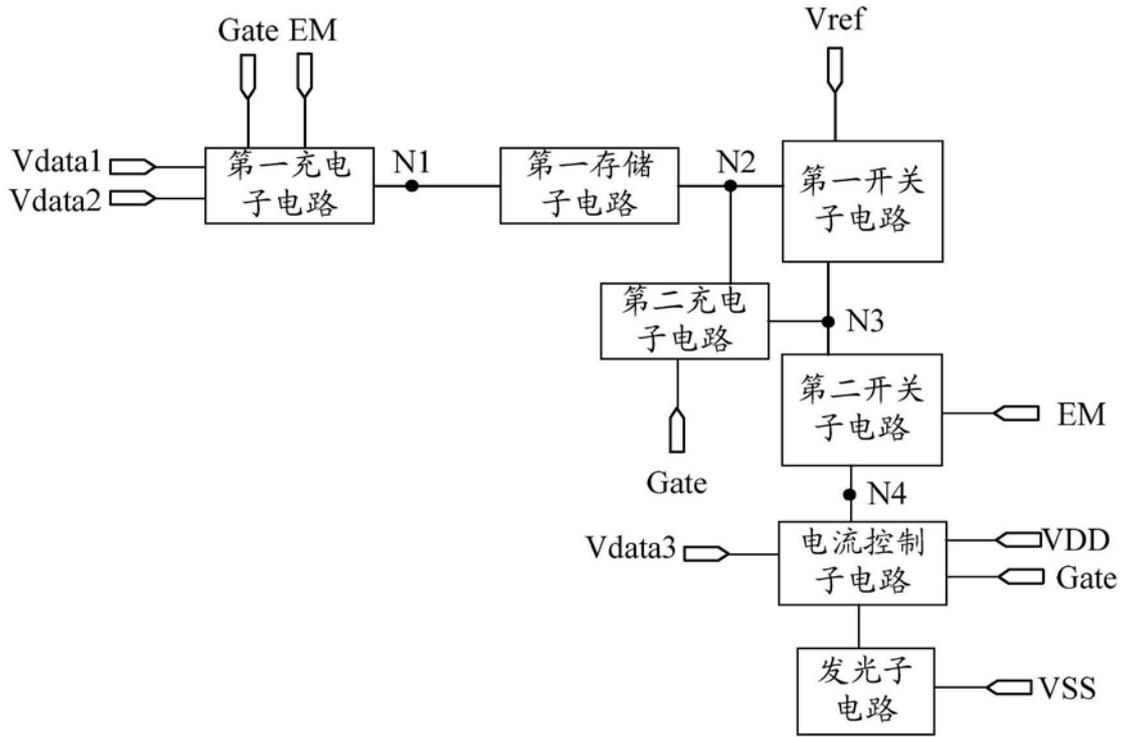


图9

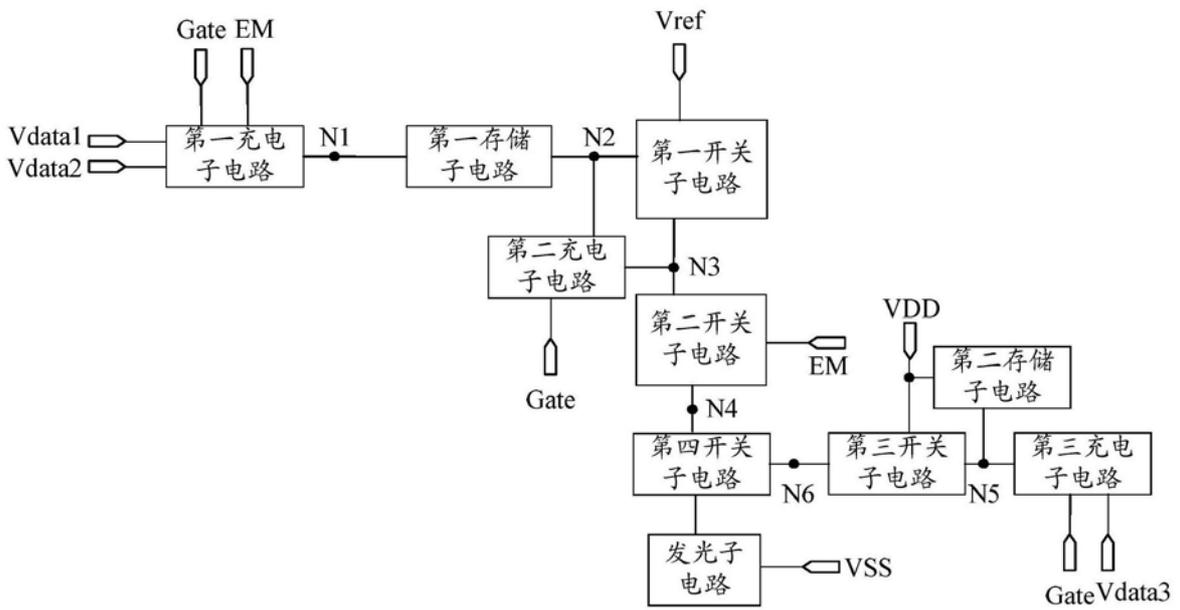


图10

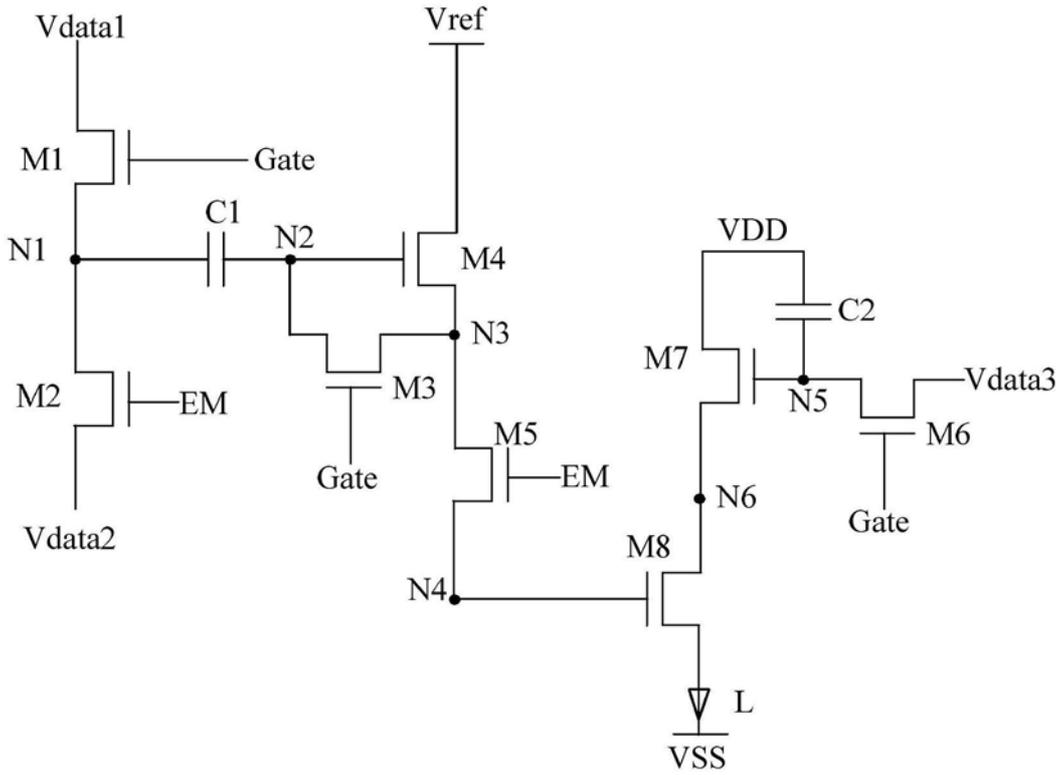


图11

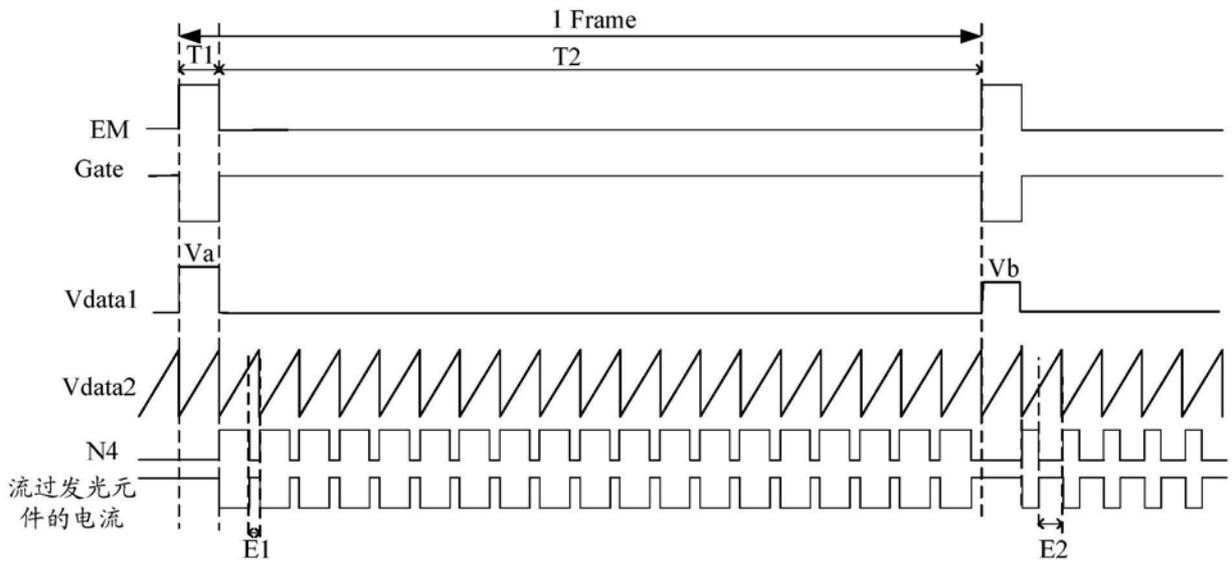


图12

向第一电压端提供第一电压，向扫描信号端提供扫描信号，向第一数据信号端提供第一数据电压，向第三数据信号端提供第三数据电压，第一数据电压通过第一充电电子电路写入至第一节点，第二充电电子电路在扫描信号端的控制下对第二节点进行补偿，电流控制子电路在扫描信号端的控制下，基于第一电压和第三数据电压，生成预设电流密度的驱动电流

向发光控制端提供发光控制信号，向第二数据信号端提供幅度周期变化的第二数据电压，该第二数据电压通过第一充电电子电路写入至第一节点，第二节点的电压随着第一节点的电压发生跳变，以控制第一开关子电路开启或关闭，发光子电路在第一开关子电路和第二开关子电路的控制下，根据所述驱动电流的电流大小发光

图13

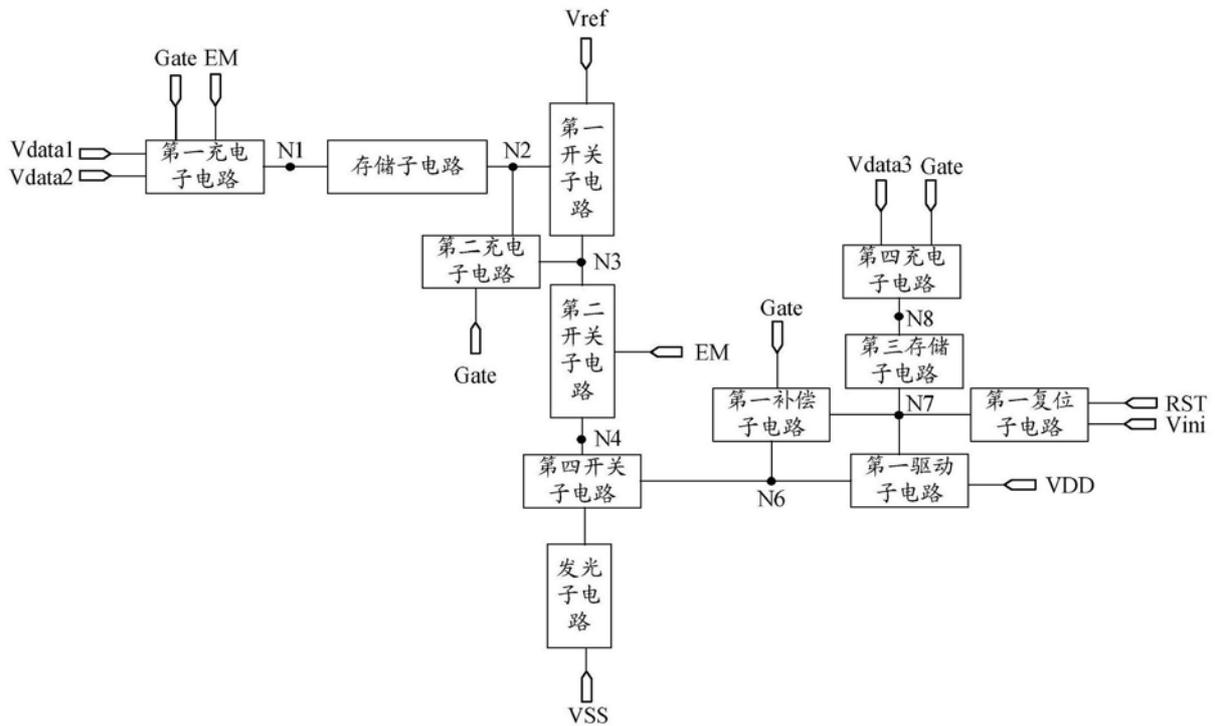


图14

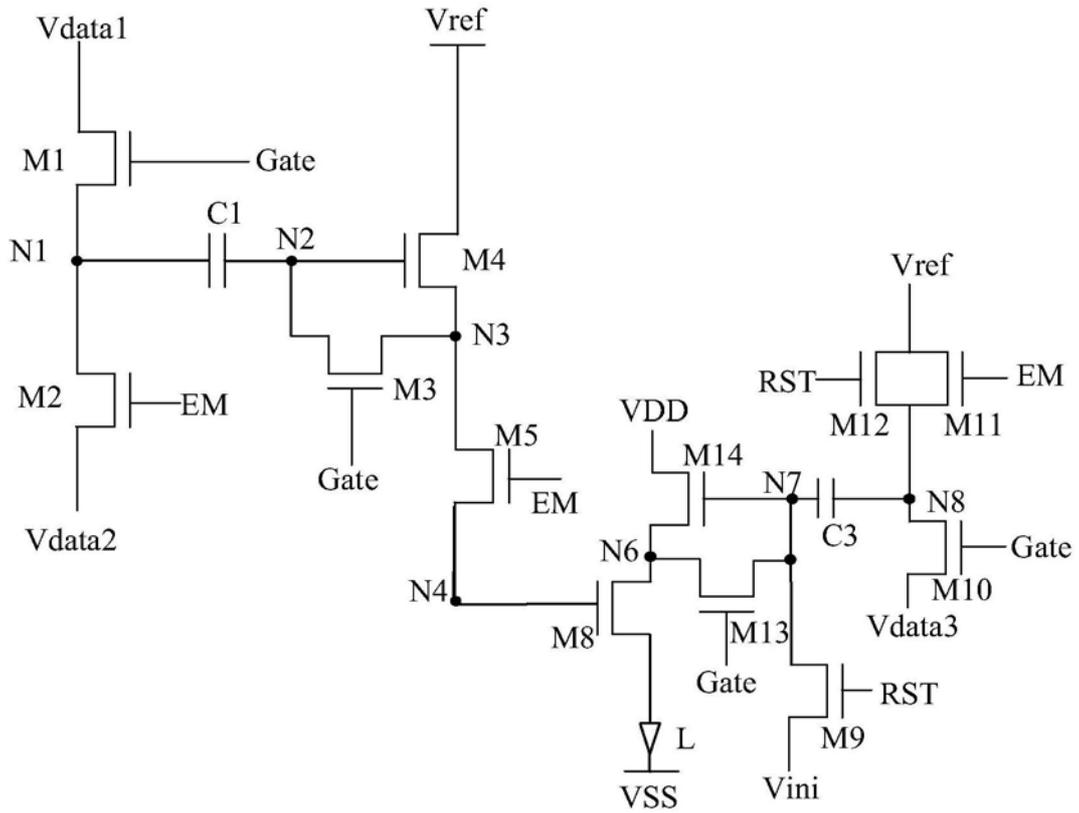


图15

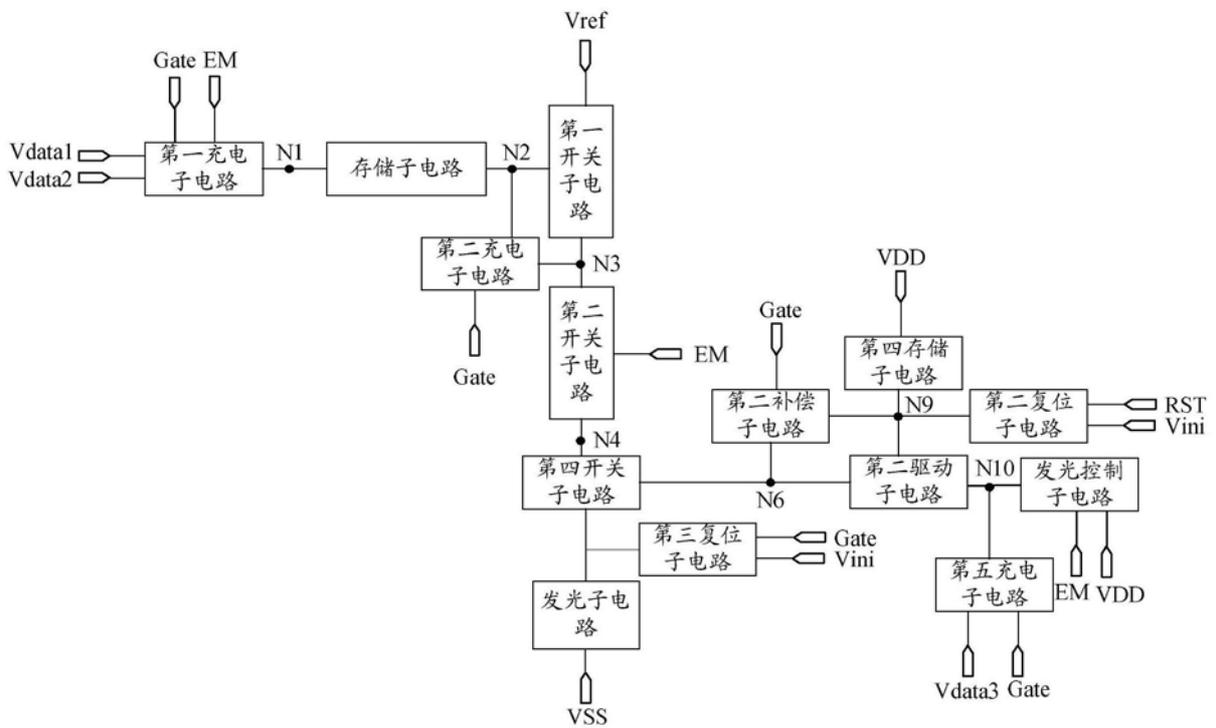


图16

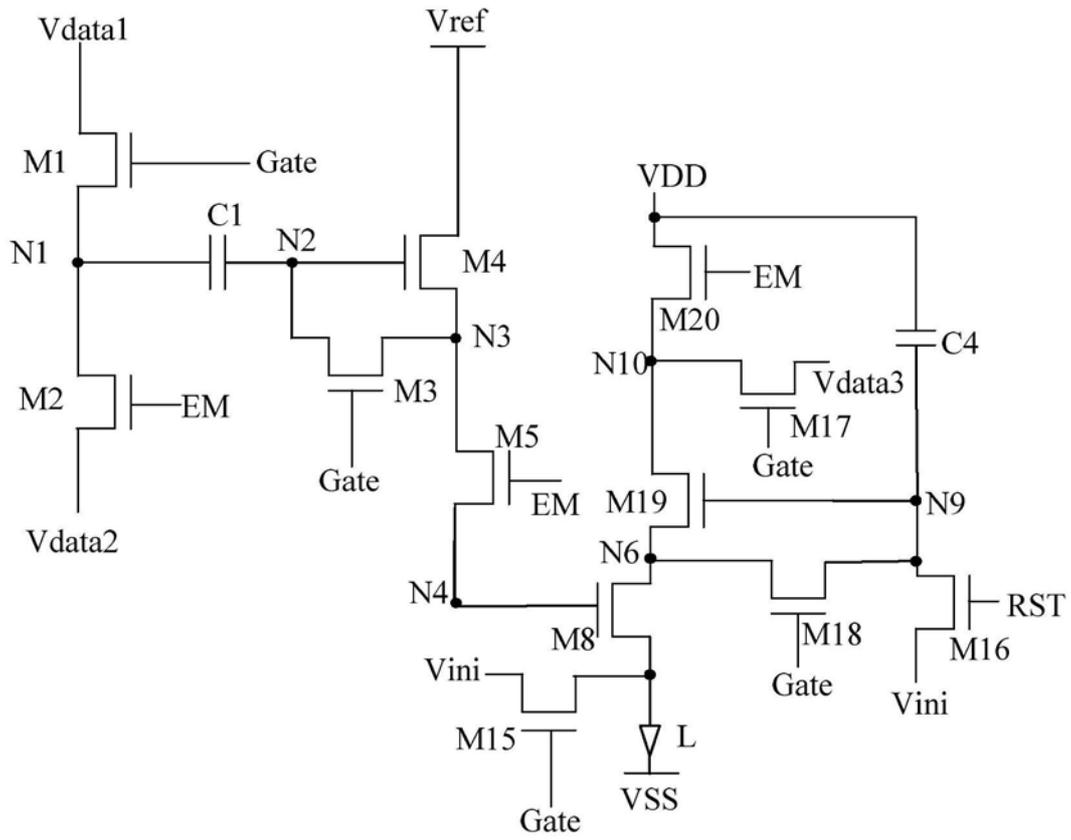


图17